

MS104-FPGA/CⅢ 回路図 1版 正誤表

1版 2009年2月19日

平素は弊社製品をご利用いただき誠にありがとうございます。
 この度、弊社製品 MS104-FPGA/CⅢ 回路図に誤記が見つかりましたので、以下のように訂正させていただきます。
 ご迷惑をお掛けしましたことをお詫びするとともに、訂正事項をご留意の上ご利用ください。

ページ	2P																																																								
訂正前	<p style="text-align: center;">FPGA BANK1</p> <p>IC1A</p> <table border="0"> <tr> <td>K6</td> <td>nSTATUS</td> <td>DIFFCLK_0p/CLK0</td> <td>G2</td> <td>CLK40M_1</td> </tr> <tr> <td>K5</td> <td>nCONFIG</td> <td>DIFFCLK_0n/CLK1</td> <td>G1</td> <td></td> </tr> <tr> <td>K2</td> <td>DCLK</td> <td></td> <td></td> <td></td> </tr> <tr> <td>L3</td> <td>nCE</td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td>IO</td> <td>H5</td> <td>LD1</td> </tr> <tr> <td></td> <td></td> <td>DIFFFIO_L1p/IO</td> <td>B2</td> <td>LD2</td> </tr> <tr> <td></td> <td></td> <td>DIFFFIO_L1n/IO</td> <td>B1</td> <td>LD3</td> </tr> <tr> <td></td> <td></td> <td>IO</td> <td>G5</td> <td>LD4</td> </tr> <tr> <td></td> <td></td> <td>nRESET/DIFFFIO_L2p/IO</td> <td>E4</td> <td>FLASH_nRESET</td> </tr> <tr> <td>L2</td> <td>TCK</td> <td>DIFFFIO_L2n/IO</td> <td>E3</td> <td></td> </tr> <tr> <td>L4</td> <td></td> <td></td> <td>C2</td> <td></td> </tr> </table>		K6	nSTATUS	DIFFCLK_0p/CLK0	G2	CLK40M_1	K5	nCONFIG	DIFFCLK_0n/CLK1	G1		K2	DCLK				L3	nCE						IO	H5	LD1			DIFFFIO_L1p/IO	B2	LD2			DIFFFIO_L1n/IO	B1	LD3			IO	G5	LD4			nRESET/DIFFFIO_L2p/IO	E4	FLASH_nRESET	L2	TCK	DIFFFIO_L2n/IO	E3		L4			C2	
K6	nSTATUS	DIFFCLK_0p/CLK0	G2	CLK40M_1																																																					
K5	nCONFIG	DIFFCLK_0n/CLK1	G1																																																						
K2	DCLK																																																								
L3	nCE																																																								
		IO	H5	LD1																																																					
		DIFFFIO_L1p/IO	B2	LD2																																																					
		DIFFFIO_L1n/IO	B1	LD3																																																					
		IO	G5	LD4																																																					
		nRESET/DIFFFIO_L2p/IO	E4	FLASH_nRESET																																																					
L2	TCK	DIFFFIO_L2n/IO	E3																																																						
L4			C2																																																						
訂正後	<p style="text-align: center;">FPGA BANK1</p> <p>IC1A</p> <table border="0"> <tr> <td>K6</td> <td>nSTATUS</td> <td>DIFFCLK_0p/CLK0</td> <td>G2</td> <td>CLK40M_1</td> </tr> <tr> <td>K5</td> <td>nCONFIG</td> <td>DIFFCLK_0n/CLK1</td> <td>G1</td> <td></td> </tr> <tr> <td>K2</td> <td>DCLK</td> <td></td> <td></td> <td></td> </tr> <tr> <td>L3</td> <td>nCE</td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td>IO</td> <td>H5</td> <td>LD4</td> </tr> <tr> <td></td> <td></td> <td>DIFFFIO_L1p/IO</td> <td>B2</td> <td>LD3</td> </tr> <tr> <td></td> <td></td> <td>DIFFFIO_L1n/IO</td> <td>B1</td> <td>LD2</td> </tr> <tr> <td></td> <td></td> <td>IO</td> <td>G5</td> <td>LD1</td> </tr> <tr> <td></td> <td></td> <td>nRESET/DIFFFIO_L2p/IO</td> <td>E4</td> <td>FLASH_nRESET</td> </tr> <tr> <td>L2</td> <td>TCK</td> <td>DIFFFIO_L2n/IO</td> <td>E3</td> <td></td> </tr> <tr> <td>L4</td> <td></td> <td></td> <td>C2</td> <td></td> </tr> </table>		K6	nSTATUS	DIFFCLK_0p/CLK0	G2	CLK40M_1	K5	nCONFIG	DIFFCLK_0n/CLK1	G1		K2	DCLK				L3	nCE						IO	H5	LD4			DIFFFIO_L1p/IO	B2	LD3			DIFFFIO_L1n/IO	B1	LD2			IO	G5	LD1			nRESET/DIFFFIO_L2p/IO	E4	FLASH_nRESET	L2	TCK	DIFFFIO_L2n/IO	E3		L4			C2	
K6	nSTATUS	DIFFCLK_0p/CLK0	G2	CLK40M_1																																																					
K5	nCONFIG	DIFFCLK_0n/CLK1	G1																																																						
K2	DCLK																																																								
L3	nCE																																																								
		IO	H5	LD4																																																					
		DIFFFIO_L1p/IO	B2	LD3																																																					
		DIFFFIO_L1n/IO	B1	LD2																																																					
		IO	G5	LD1																																																					
		nRESET/DIFFFIO_L2p/IO	E4	FLASH_nRESET																																																					
L2	TCK	DIFFFIO_L2n/IO	E3																																																						
L4			C2																																																						

著作権について

- ・本文書の著作権は（株）アルファプロジェクトが保有します。
- ・本文書の内容を無断で転載することは一切禁止します。
- ・本文書の内容は、将来予告なしに変更されることがあります。
- ・本文書の内容については、万全を期して作成いたしましたが、万一ご不審な点、誤りなどお気付きの点がありましたら弊社までご連絡下さい。
- ・本文書の内容に基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承下さい。

商標について

- ・その他の会社名、製品名は、各社の登録商標または商標です。



株式会社アルファプロジェクト
〒431-3114
静岡県浜松市東区積志町 834
<http://www.apnet.co.jp>
E-MAIL : query@apnet.co.jp