

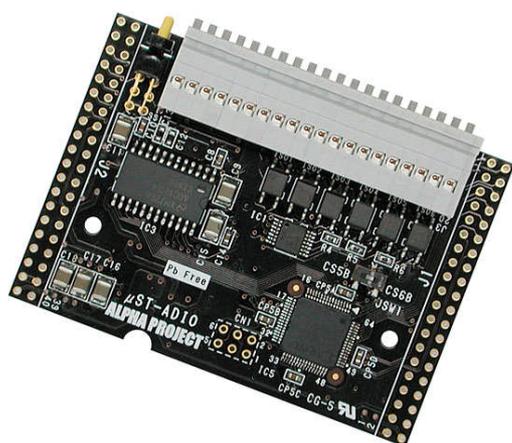
μST Series

μST-SH2 A/D 変換、絶縁 I/O 拡張ボード

μST-ADIO

ハードウェアマニュアル

3 版



ALPHA PROJECT co.,LTD

<http://www.apnet.co.jp>

ご使用になる前に

このたびは μ ST-AD10をお買い上げいただき誠にありがとうございます。
本製品をお役立て頂くために、このマニュアルを十分お読みいただき、正しくお使い下さい。
今後共、弊社製品をご愛顧賜りますよう宜しくお願いいたします。

梱包内容

本製品は、下記の品より構成されています。梱包内容をご確認のうえ、万が一、不足しているものがあればお買い上げの販売店までご連絡ください。

μ ST-AD10 に付属するもの

| | | | |
|--------------------|-----|---------|-----|
| ● μ ST-AD10 本体 | 1 台 | ●CD-ROM | 1 枚 |
| ●保証書 | 1 枚 | | |

μ ST-SH2/AD10 に付属するもの

| | | | |
|--|-----|-----------------|-----|
| ● μ ST-SH2/AD10 本体 (μ ST-SH2、 μ ST-AD10、ケース 組み立て済み) | 1 台 | | |
| ●CD-ROM | 1 枚 | ●14pin MIL コネクタ | 1 枚 |
| ●ゴム足 | 4 個 | ●保証書 | 1 枚 |

■本製品の内容及び仕様は予告なしに変更されることがありますのでご了承ください。

取り扱い上の注意



- 本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力、運輸、交通、各種安全装置など人命、事故に関わる特別な品質、信頼性が要求される用途での使用はご遠慮ください。
- 極端な高温下や低温下、または振動の激しい環境での使用はご遠慮ください。
- 水中、高湿度、油の多い環境での使用はご遠慮ください。
- 腐食性ガス、可燃性ガス等の環境中での使用はご遠慮ください。
- 基板の表面が水に濡れていたり、金属に接触した状態で電源を投入しないでください。
- 定格を越える電源を加えないでください。

- ノイズの多い環境での動作は保証しかねますのでご了承ください。
- 発煙や発火、異常な発熱があった場合には、すぐに電源を切ってください。
- 本書に記載される製品および技術のうち、「外国為替および外国貿易法」に定める規制貨物等（技術）に該当するものを輸出または国外に持ち出す場合には同法に基づく輸出許可が必要です。
- 本製品に付属する回路図及び HDL コードの著作権は（株）アルファプロジェクトが保有しております。これらを無断で転用、掲載、譲渡、配布することは禁止します。

保証

- 本製品は万全の注意を払って製作されていますが、万一初期不良品であった場合、お買い上げ頂いた販売店へ保証書を添えてご返却ください。（弊社より直接お買い上げのお客様については、出荷時に全て登録済みとなっております。）
- 万が一、本製品を使用して事故または損失が発生した場合、弊社では一切その責を負いません。
- 保証内容、免責等につきましては、添付の保証書をご覧ください。
- 本製品を仕様範囲を越える条件において使用された場合については、動作は保証されません。
- 製品を改造した場合、保証は一切適用されません。
- 他社製品との接続互換性および相性問題は保証いたしません。

目 次

| | |
|-----------------------------|-----------|
| 1. 製品紹介 | 1 |
| 1. 1 製品の特長 | 1 |
| 2. 仕様概要 | 2 |
| 2. 1 仕様概要 | 2 |
| 2. 2 外観 | 3 |
| 2. 3 外形寸法 | 5 |
| 2. 4 回路構成 | 7 |
| 2. 5 アドレスマップ | 8 |
| 2. 6 バスインターフェース | 10 |
| 2. 7 CPLD | 13 |
| 3. 機能説明 | 16 |
| 3. 1 設定 | 16 |
| 3. 2 A/D 変換 | 17 |
| 3. 3 デジタル入力 | 21 |
| 3. 4 デジタル出力 | 22 |
| 3. 5 割り込み | 23 |
| 4. コネクタ | 24 |
| 4. 1 端子配列 | 24 |
| 5. 技術資料 | 26 |
| 5. 1 デジタル入出力の接続例 | 26 |
| 5. 2 μST-SH2 との接続方法(2枚スタック) | 29 |
| 5. 3 ケースへの組み込み方法 | 31 |
| 6. その他 | 40 |

■製品サポートのご案内

■エンジニアリングサービスのご案内

1. 製品紹介

μST-AD10は、μST-SH2にA/D変換とI/O機能を拡張するボードです。

1. 1 製品の特長

■ A/D変換機能

分解能10/8bit、シングルエンド4ch、差動2chのアナログ入力を備えています。入力レンジは、バイポーラ±5V、ユニポーラ0～+5Vの切り替えが可能です。

■ 絶縁I/O

フォトカプラ絶縁の汎用デジタル入出力を各3ch搭載しており、リレー制御など様々な用途で利用が可能です。

■ 接続が容易

電源、アナログ入力、デジタル入出力は全て小型の端子台から接続が可能です。

■ 超小型基板

基板サイズは、71mm×51mmと超小型です。

■ サンプルソフトウェアを提供

μCLinuxに対応したサンプルプログラムが提供されます。

※μST-SH2 Linux開発キット(別売)に収録

■ 回路図を全て公開

回路図は全て公開されていますので、回路動作の確認やデバッグにお役立ていただけます。

※CPLDのソースコードファイルは本製品には添付されておりません。ソースコードファイルの提供を希望される場合は有償にて承りますので、弊社サポートへご連絡ください。

2. 仕様概要

2. 1 仕様概要

| 項目 | 仕様 |
|--------------|---|
| アナログ入力 | シングルエンド入力 4ch 差動入力 2ch |
| アナログ入力レンジ | バイポーラ±5V、ユニポーラ 0～+5V |
| 入力インピーダンス | 940KΩ |
| 分解能 | 10/8bit(ソフトウェアにて設定) |
| A/D コンバータ | ADC10154 |
| A/D 変換時間 * | 4.5 μs(最大) |
| A/D 変換誤差 | 1%以内 |
| デジタル入力 | フォトカプラ絶縁入力 3ch(動作電圧範囲 0V～+24V) |
| デジタル入力遅延 | 約 20 μs |
| デジタル出力 | フォトカプラ絶縁出力 3ch(最大定格電圧 +80V) オープンコレクタ出力 |
| デジタル出力遅延 | 約 20 μs(5V 470 Ωプルアップ時) |
| デジタル出力最大駆動電流 | 25mA |
| 絶縁耐圧 | 3.75kV |
| 端子台 | ML-700-NH20(サトーパーツ) |
| CPLD | XC9572XL-10VQ64C(Xilinx) |
| バス接続 | 拡張コネクタ 40pin×2(HIF-40PB-2.54DSA ヒロセ) |
| 基板寸法 | 71mm×51mm |
| ケース寸法 | 80mm×30mm×60mm |
| 消費電流 | 約 200mA(MAX) |
| 動作温度範囲 | 0℃～50℃ |

* A/D 変換時間はハードウェアの変換時間です。ソフトウェアの処理時間を含めた変換時間ではありません。

2. 2 外観

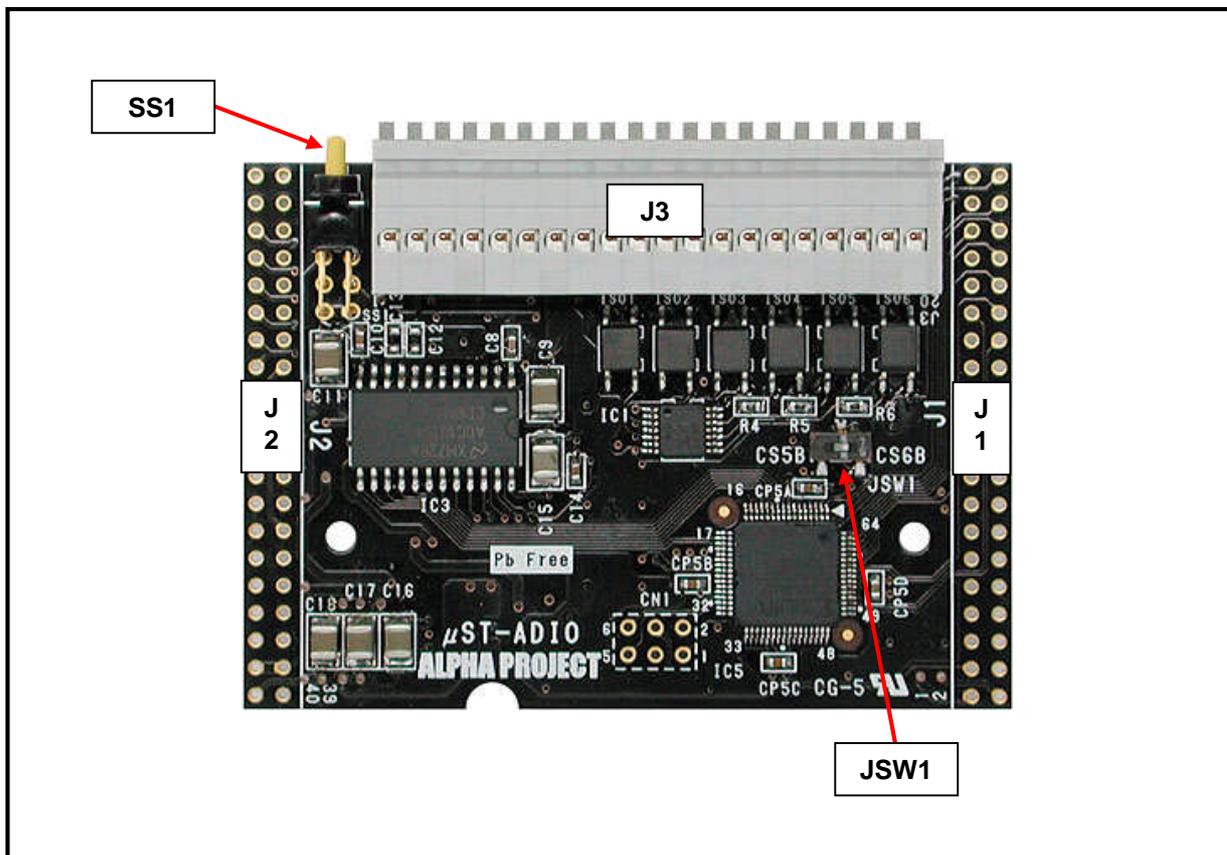


Fig 2.2-1 μST-AD10 外形図

| コネクタ番号 | 推奨コネクタ型番/メーカー | 用途 | 備考 |
|--------|------------------------|-----------------|----------------|
| J1 | HIF3H-40PB-2.54DSA/ヒロセ | バス拡張コネクタ | 2.54mm ピッチ 未実装 |
| J2 | HIF3H-40PB-2.54DSA/ヒロセ | I/O、JTAG 拡張コネクタ | 2.54mm ピッチ 未実装 |
| J3 | ML-700-NH20/サトーパーツ | アナログ入力、絶縁 I/O | 端子台 |
| JSW1 | CJS-1200B1/コパル電子 | CS 空間設定スイッチ | |
| SS1 | FT2D-4M-Z/コパル電子 | 入力レンジ設定スイッチ | |

Table 2.2-2 コネクタ一覧

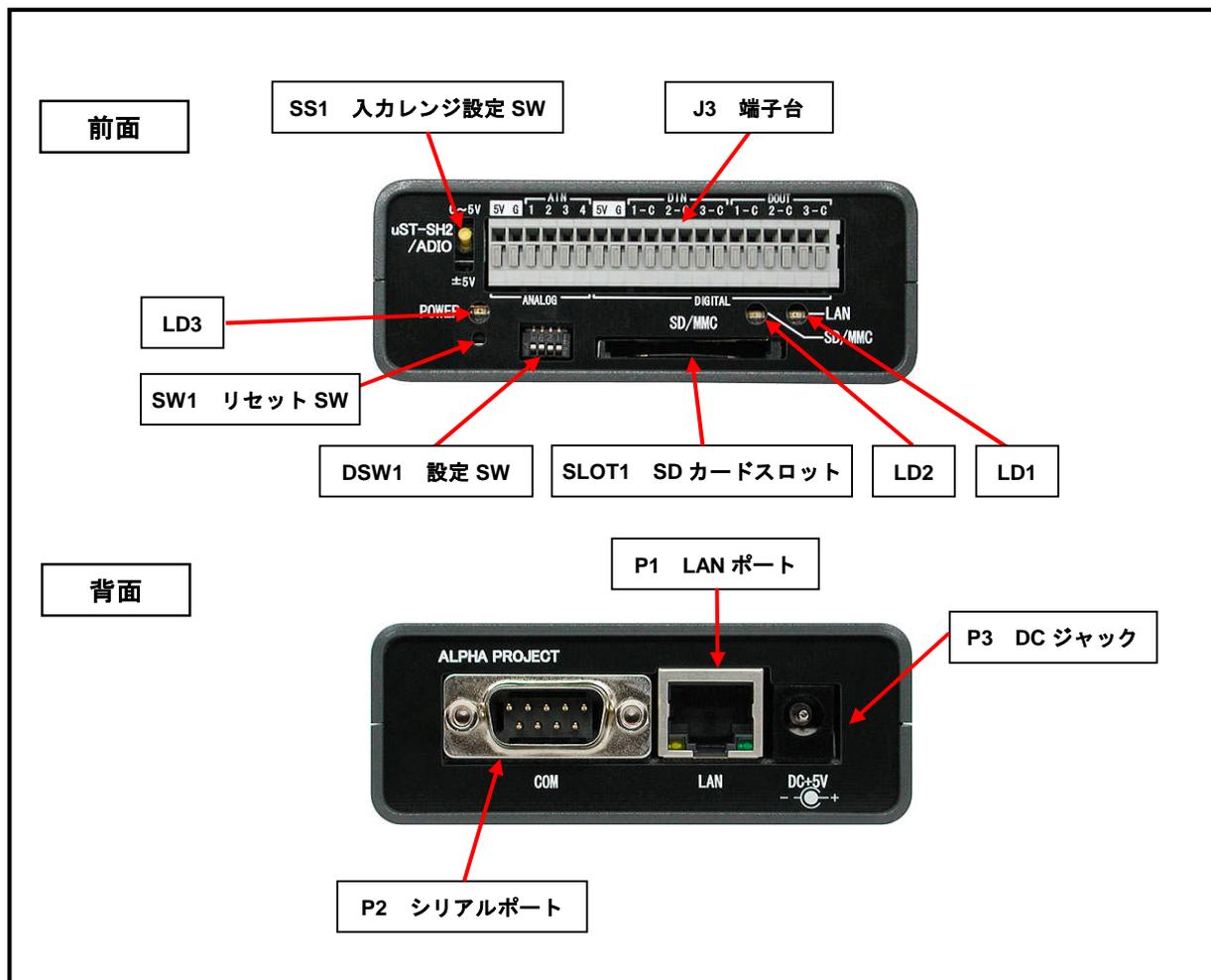


Fig 2.2-3 μST-SH2/AD10 外形図

2. 3 外形寸法

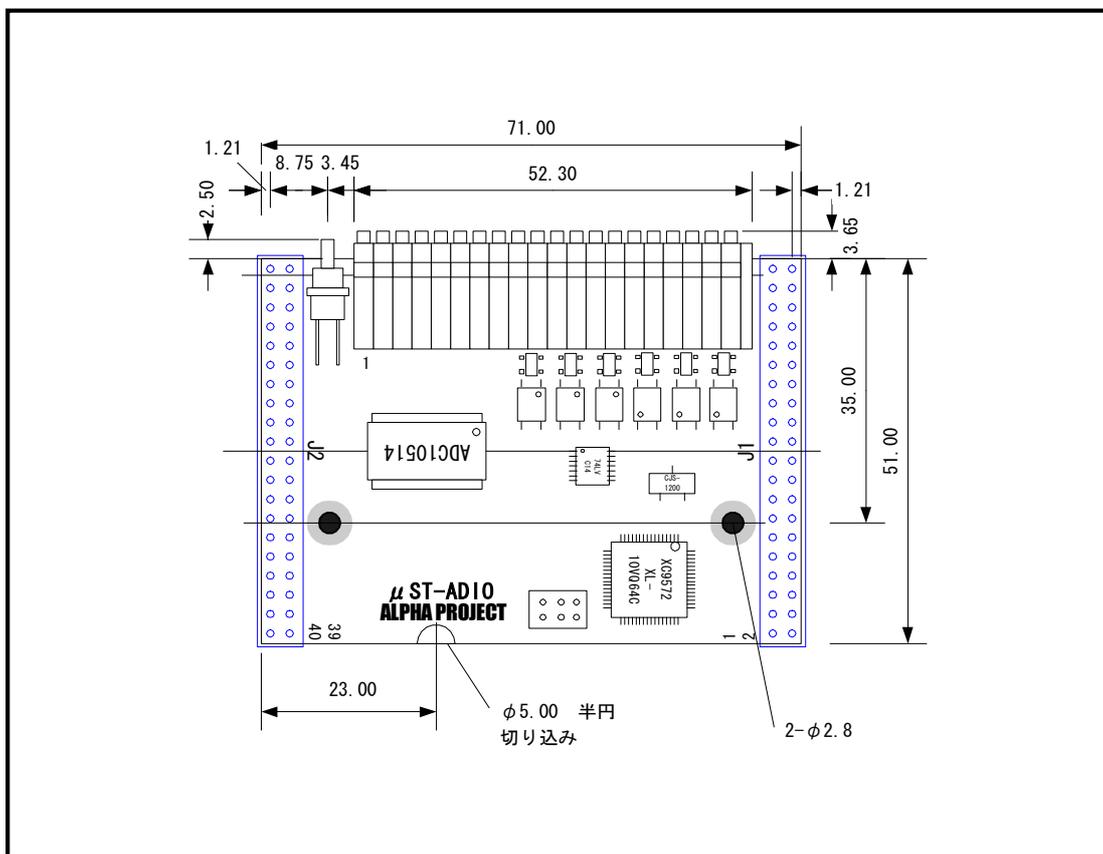


Fig 2.3-1 μST-AD10 外形寸法図

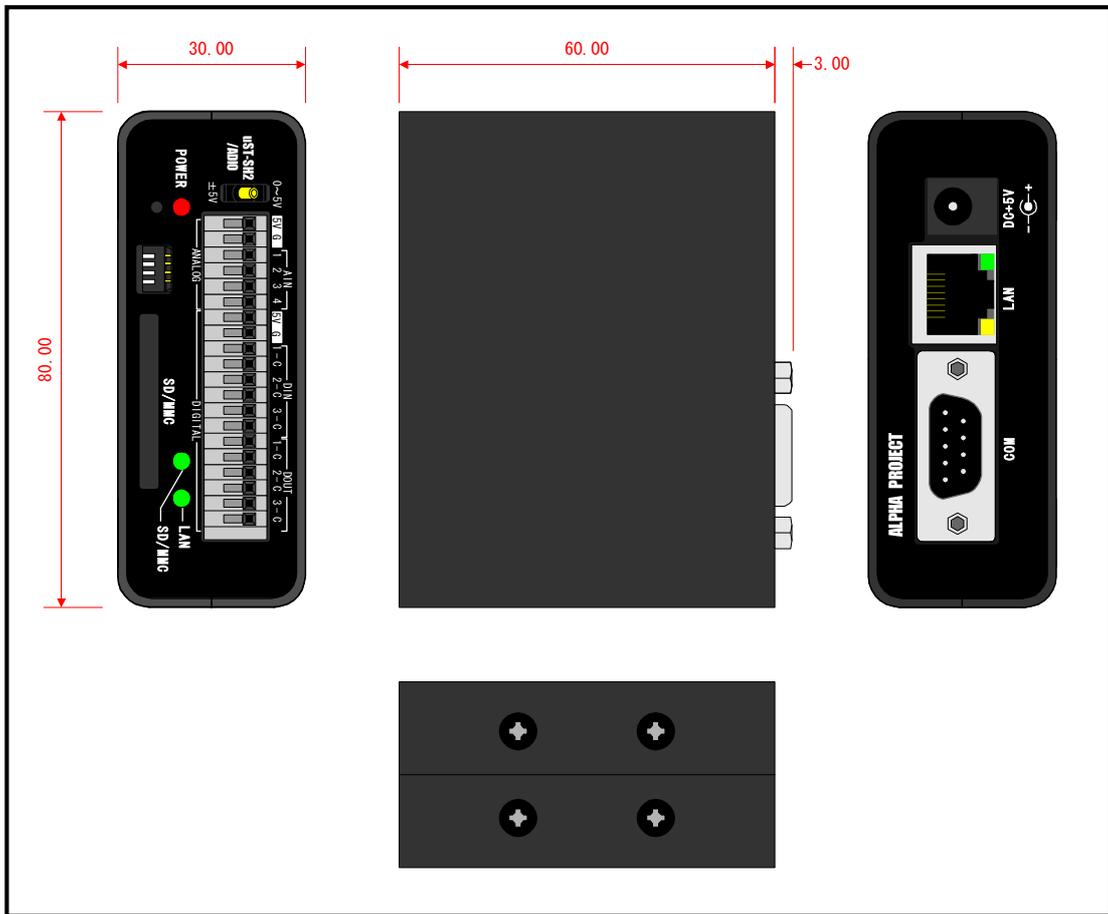


Fig 2.3-1 μST-SH2/AD10 外形寸法图

2. 4 回路構成

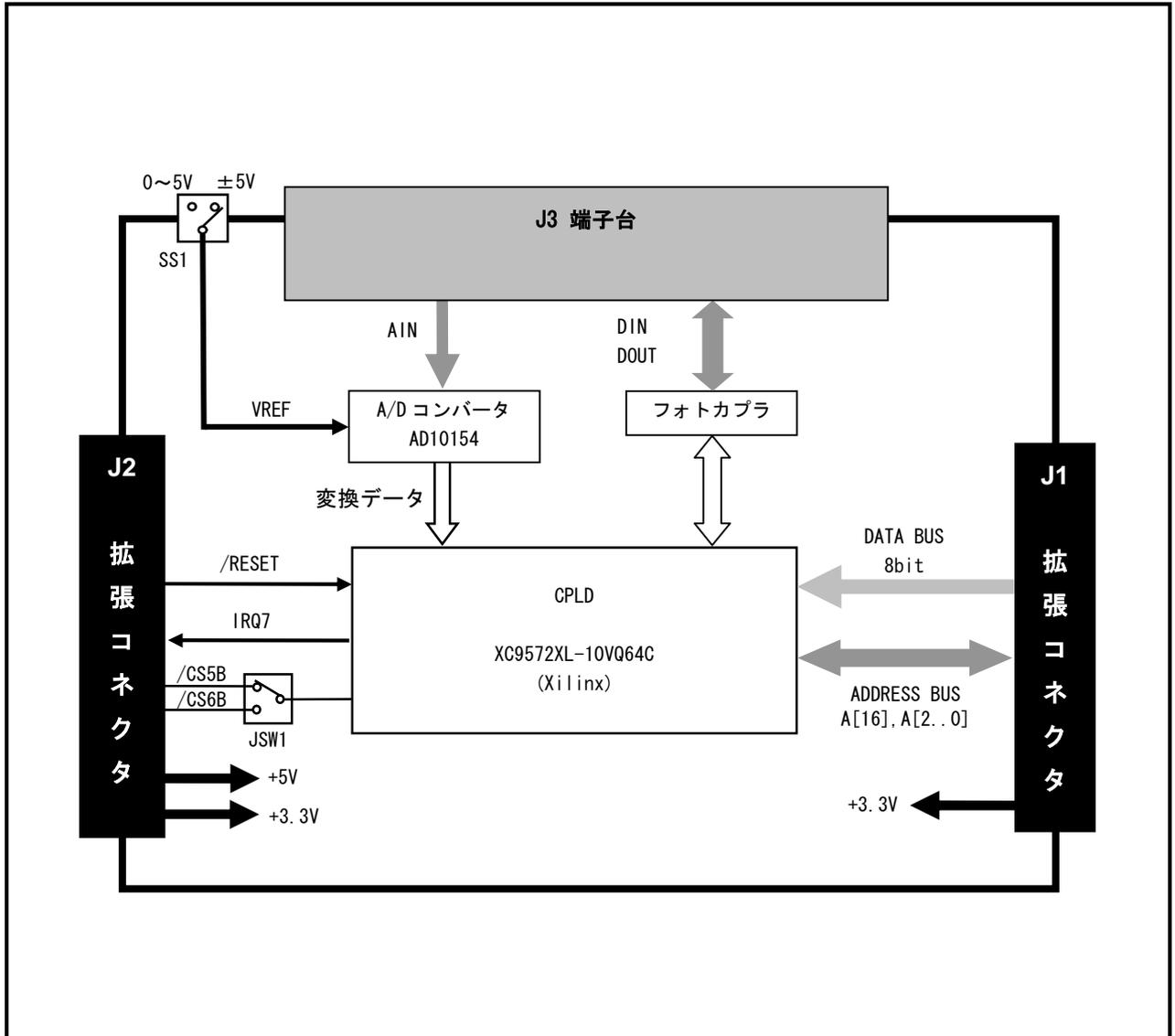


Fig 2.4-1 回路ブロック図

2. 5 アドレスマップ

アドレスは CS5 または CS5B、CS6 または CS6B 空間に割り当てられ、JSW1 と SH7619 の CMNCR レジスタの MAP ビットで切り替えることができます。全体のアドレスマップは μST-SH2 ハードウェアマニュアルを参照してください。

| アドレス (P0) | アドレス (P2) | アクセスサイズ | レジスタ名 |
|-----------------------------|-----------------------------|---------|---------------|
| H' 16000000 | H' B6000000 | 8bit | A/D コンバータレジスタ |
| H' 16000001 H' 16000FFF | H' B6000001 H' B6000FFF | 8bit | イメージ |
| H' 16001000 | H' B6001000 | 8bit | DOUT レジスタ |
| H' 16001001 | H' B6001001 | 8bit | DIN レジスタ |
| H' 16001002 | H' B6001002 | 8bit | 割り込みステータスレジスタ |
| H' 16001003 | H' B6001003 | 8bit | 割り込みマスクレジスタ |
| H' 16001004 H' 17FFFFFFF | H' B6001004 H' B7FFFFFFF | 8bit | イメージ |

※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)

Table 2.5-1 CS5B 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 0)

| アドレス (P0) | アドレス (P2) | アクセスサイズ | レジスタ名 |
|-----------------------------|-----------------------------|---------|---------------|
| H' 1A000000 | H' BA000000 | 8bit | A/D コンバータレジスタ |
| H' 1A000001 H' 1A000FFF | H' BA000001 H' BA000FFF | 8bit | イメージ |
| H' 1A001000 | H' BA001000 | 8bit | DOUT レジスタ |
| H' 1A001001 | H' BA001001 | 8bit | DIN レジスタ |
| H' 1A001002 | H' BA001002 | 8bit | 割り込みステータスレジスタ |
| H' 1A001003 | H' BA001003 | 8bit | 割り込みマスクレジスタ |
| H' 1A001004 H' 1BFFFFFFF | H' BA001004 H' BBFFFFFFF | 8bit | イメージ |

※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)

Table 2.5-2 CS6B 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 0)

| アドレス (P0) | アドレス (P1) | アクセスサイズ | レジスタ名 |
|-----------------------------|-----------------------------|---------|---------------|
| H' 14000000 | H' B4000000 | 8bit | A/D コンバータレジスタ |
| H' 14000001 H' 14000FFF | H' 14000001 H' 14000FFF | 8bit | イメージ |
| H' 14001000 | H' B4001000 | 8bit | DOUT レジスタ |
| H' 14001001 | H' B4001001 | 8bit | DIN レジスタ |
| H' 14001002 | H' B4001002 | 8bit | 割り込みステータスレジスタ |
| H' 14001003 | H' B4001003 | 8bit | 割り込みマスクレジスタ |
| H' 14001004 H' 17FFFFFFF | H' B4001004 H' B7FFFFFFF | 8bit | イメージ |

※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)

Table 2.5-3 CS5 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 1)

| アドレス (P0) | アドレス (P2) | アクセスサイズ | レジスタ名 |
|-----------------------------|-----------------------------|---------|---------------|
| H' 18000000 | H' B8000000 | 8bit | A/D コンバータレジスタ |
| H' 18000001 H' 18000FFF | H' B8000001 H' B8000FFF | 8bit | イメージ |
| H' 18001000 | H' B8001000 | 8bit | DOUT レジスタ |
| H' 18001001 | H' B8001001 | 8bit | DIN レジスタ |
| H' 18001002 | H' B8001002 | 8bit | 割り込みステータスレジスタ |
| H' 18001003 | H' B8001003 | 8bit | 割り込みマスクレジスタ |
| H' 18001004 H' 1BFFFFFFF | H' B8001004 H' BBFFFFFFF | 8bit | イメージ |

※ P0 = P0 領域 (キャッシュ領域) P2 = P2 領域 (ノンキャッシュ領域)

Table 2.5-4 CS6 空間使用時アドレスマップ (CMNCR レジスタ MAP ビット = 1)

2. 6 バスインターフェース

2. 6. 1 リードタイミング

μST-AD10 のリード時のアクセスタイミングは以下のようになっています。

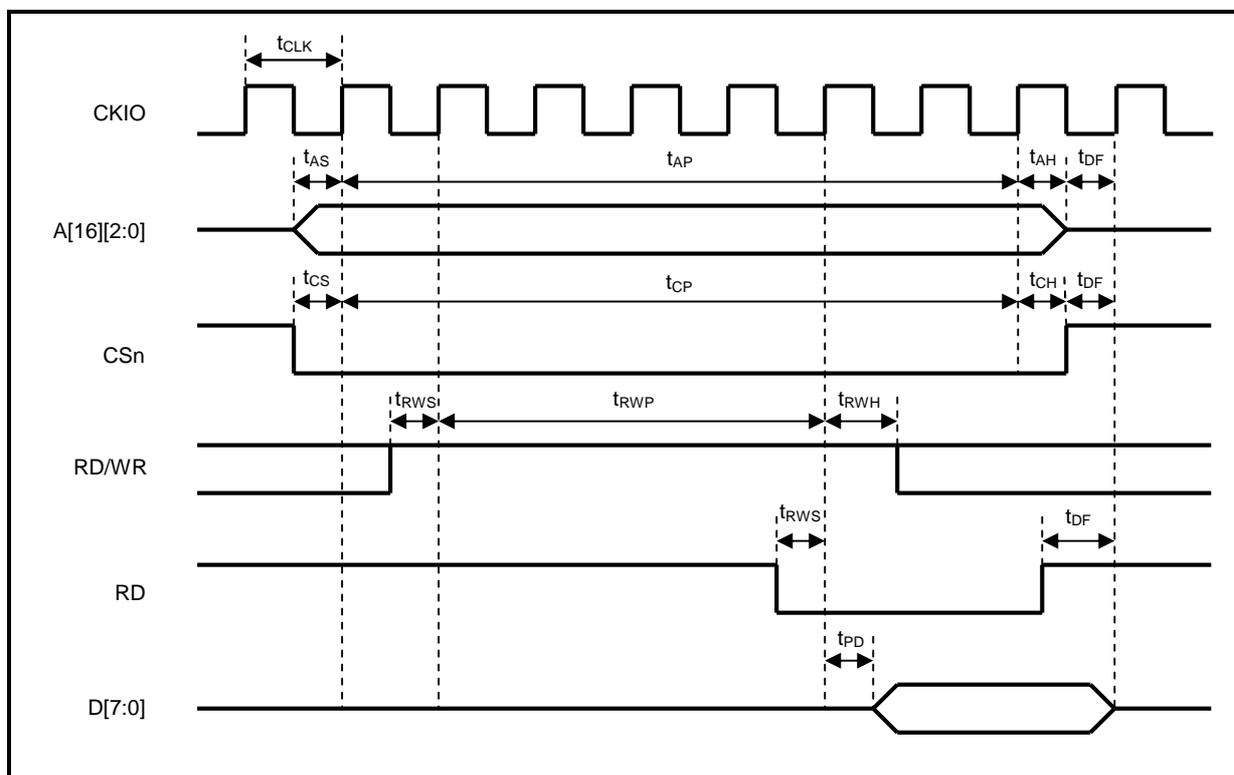


Fig 2.6-1 μST-AD10 バスアクセスタイミングチャート（リード時）

| 項目 | 記号 | 最小 | 最大 | 単位 |
|--------------------------|-----------|------|----|-----|
| CKIO パルス幅 | t_{CLK} | 16.6 | - | ns |
| アドレスセットアップタイム | t_{AS} | 6.5 | - | ns |
| アドレスパルス幅 | t_{AP} | 7 | - | CLK |
| アドレスホールドタイム | t_{AH} | 0 | - | ns |
| CS セットアップタイム | t_{CS} | 6.5 | - | ns |
| CS パルス幅 | t_{CP} | 7 | - | CLK |
| CS ホールドタイム | t_{CH} | 0 | - | ns |
| RD/WR セットアップタイム | t_{RWS} | 6.5 | - | ns |
| RD/WR パルス幅 | t_{RWP} | 4 | - | CLK |
| RD/WR ホールドタイム | t_{RWH} | 0 | - | ns |
| RD セットアップタイム | t_{RS} | 0 | - | ns |
| データ出力遅延時間 | t_{PD} | - | 11 | ns |
| アドレス終了から出力フローティングまでの時間 | t_{DF} | - | 11 | ns |
| RD 立ち上がりから出力フローティングまでの時間 | t_{DF} | - | 11 | ns |
| CS 立ち上がりから出力フローティングまでの時間 | t_{DF} | - | 11 | ns |

Table 2.6-2 μST-AD10 バスアクセスタイミング（リード時）

2. 6. 2 ライトタイミング

μST-AD10 のライト時のアクセスタイミングは以下のようになっています。

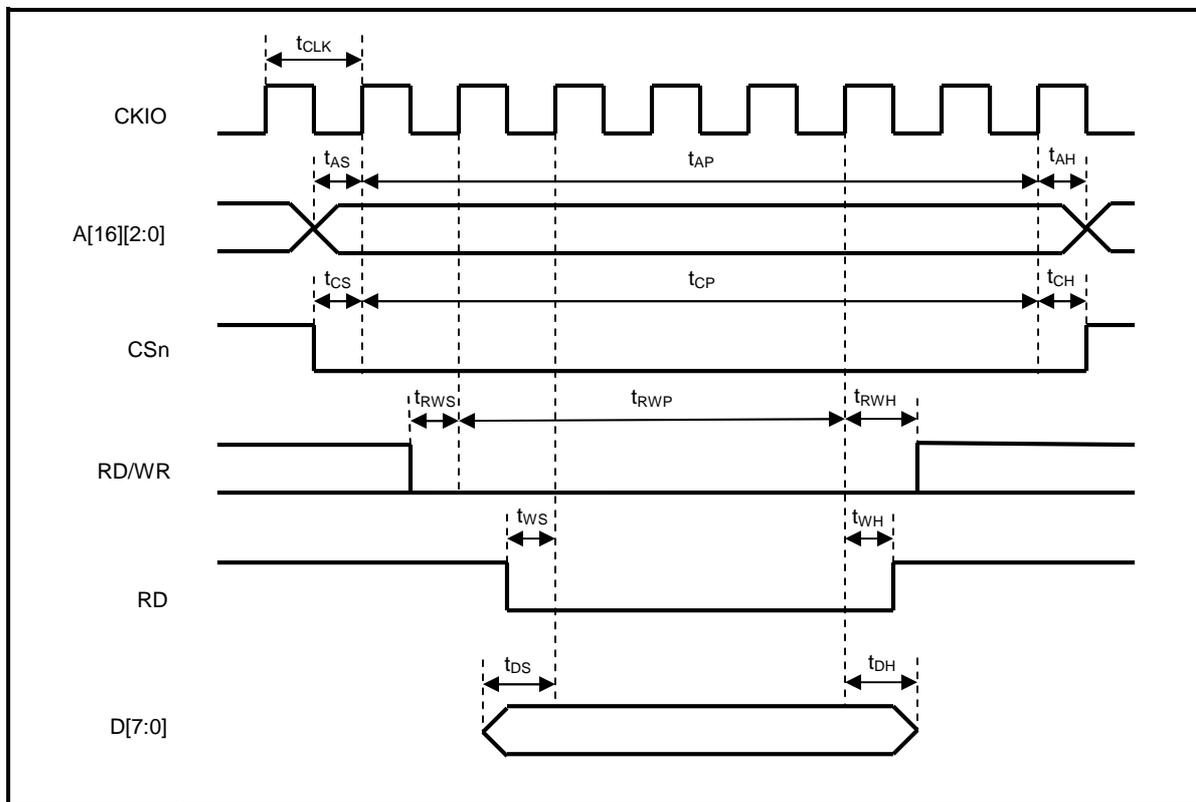


Fig 2.6-3 μST-AD10 バスアクセスタイミングチャート (ライト時)

| 項目 | 記号 | 最小 | 最大 | 単位 |
|--------------------------|-----------|------|----|-----|
| CKIO パルス幅 | t_{CLK} | 16.6 | - | ns |
| アドレスセットアップタイム | t_{AS} | 6.5 | - | ns |
| アドレスパルス幅 | t_{AP} | 7 | - | CLK |
| アドレスホールドタイム | t_{AH} | 0 | - | ns |
| CS セットアップタイム | t_{CS} | 6.5 | - | ns |
| CS パルス幅 | t_{CP} | 7 | - | CLK |
| CS ホールドタイム | t_{CH} | 0 | - | ns |
| RD/WR セットアップタイム | t_{RWS} | 6.5 | - | ns |
| RD/WR パルス幅 | t_{RWP} | 4 | - | CLK |
| RD/WR ホールドタイム | t_{RWH} | 0 | - | ns |
| RD セットアップタイム | t_{RS} | 0 | - | ns |
| データ出力遅延時間 | t_{PD} | - | 11 | ns |
| アドレス終了から出力フローティングまでの時間 | t_{DF} | - | 11 | ns |
| RD 立ち上がりから出力フローティングまでの時間 | t_{DF} | - | 11 | ns |
| CS 立ち上がりから出力フローティングまでの時間 | t_{DF} | - | 11 | ns |

Table 2.6-4 μST-AD10 バスアクセスタイミング (ライト時)

2. 6. 3 μST-SH2 のウェイトサイクルの設定

μST-SH2 から μST-AD10 にアクセスする場合には、CS5B または CS6B 空間のウェイトコントロールレジスタにて、ウェイトサイクルを 8 サイクルに設定してください。

ウェイトサイクルなど、バスステートコントローラの設定の詳細は SH7619 ハードウェアマニュアルを参照してください。

2. 7 CPLD

μST-AD10 では、A/D コンバータの制御や、I/O 制御のため、CPLD(XC9572XL-10VQ64C/Xilinx)を使用しています。

2. 7. 1 A/D コンバータレジスタ

μST-SH2 のデータバス (D7~D0) と制御信号は CPLD を介し A/D コンバータに透過的に接続されています。A/D コンバータへのアクセスは、CPLD の A/D コンバータレジスタを介して行います。

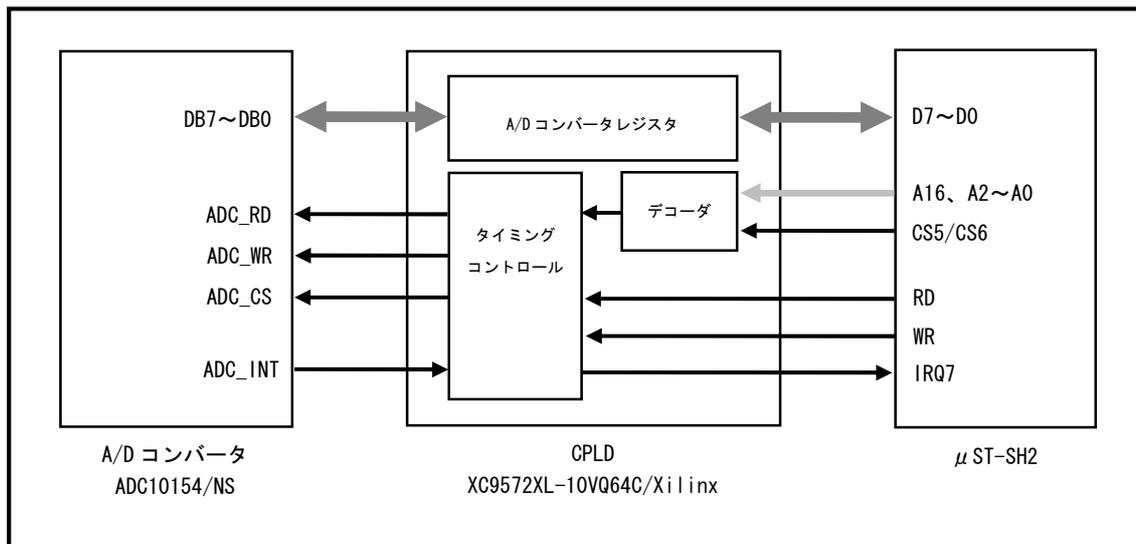


Fig 2.7-1 A/D コンバータへのアクセス

| ビット | bit7 | bit6 | bit5 | bit4 | bit3 | bit2 | bit1 | bit0 |
|------|------|------|------|------|------|------|------|------|
| ビット名 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
| 初期値* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W |

* パワーオン、またはリセット時に初期化されます。

Table 2.7-2 A/D コンバータレジスタ

2. 7. 2 DOUT レジスタ

μST-AD10 の DOUT レジスタは、DOUT1~3 の端子へ出力する値を指定するレジスタです。
デジタル出力の詳細は、「3. 4 デジタル出力」を参照してください。

| ビット | bit7 | bit6 | bit5 | bit4 | bit3 | bit2 | bit1 | bit0 |
|------|------|------|------|------|------|-------|-------|-------|
| ビット名 | - | - | - | - | - | DOUT3 | DOUT2 | DOUT1 |
| 初期値* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R/W | R/W | R/W |

* パワーオン、またはリセット時に初期化されます。

Table 2.7-3 DOUT レジスタ

| DOUT レジスタ | DOUT (CPLD) 出力 |
|-----------|----------------|
| 1 | High |
| 0 | Low |

Table 2.7-4 DOUT レジスタの状態に対する DOUT (CPLD) 出力

2. 7. 3 DIN レジスタ

μST-AD10 の DIN レジスタは、DIN1~3 の端子の状態を格納するレジスタです。DIN1~3 の端子を未使用の場合には DIN レジスタは 0 になります。
デジタル入力の詳細は「3. 3 デジタル入力」を参照してください。

| ビット | bit7 | bit6 | bit5 | bit4 | bit3 | bit2 | bit1 | bit0 |
|------|------|------|------|------|------|------|------|------|
| ビット名 | - | - | - | - | - | DIN3 | DIN2 | DIN1 |
| 初期値* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R |

* パワーオン、またはリセット時に初期化されます。

Table 2.7-5 DIN レジスタ

| DIN 入力 | DIN レジスタ |
|--------|----------|
| High | 1 |
| Low | 0 |

Table 2.7-6 DIN 入力に対する DIN レジスタの状態

2. 7. 4 割り込みステータスレジスタ

各機能の割り込み要因を示すレジスタです。対応する bit が 1 の時、割り込みが発生していることを示します。割り込みの詳細は「3. 5 割り込み」を参照してください。

| ビット | bit7 | bit6 | bit5 | bit4 | bit3 | bit2 | bit1 | bit0 |
|------|------|------|------|------|---------|----------|----------|----------|
| ビット名 | - | - | - | - | A/D_INT | DIN3_INT | DIN2_INT | DIN1_INT |
| 初期値* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

* パワーオン、またはリセット時に初期化されます。

Table 2.7-7 割り込みステータスレジスタ

2. 7. 5 割り込みマスクレジスタ

各機能の割り込みマスクレジスタです。bit が 1 の時、割り込みが許可されます。

| ビット | bit7 | bit6 | bit5 | bit4 | bit3 | bit2 | bit1 | bit0 |
|------|------|------|------|------|---------|----------|----------|----------|
| ビット名 | - | - | - | - | A/D_MSK | DIN3_MSK | DIN2_MSK | DIN1_MSK |
| 初期値* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R/W | R/W | R/W | R/W |

* パワーオン、またはリセット時に初期化されます。

Table 2.7-8 割り込みマスクレジスタ

3. 機能説明

3. 1 設定

3. 1. 1 CS 空間の設定

μST-AD10 は、1つのCS空間を専有します。μST-AD10には2本のCS信号が接続されており、JSW1でどちらか1つのCS空間を選択します。

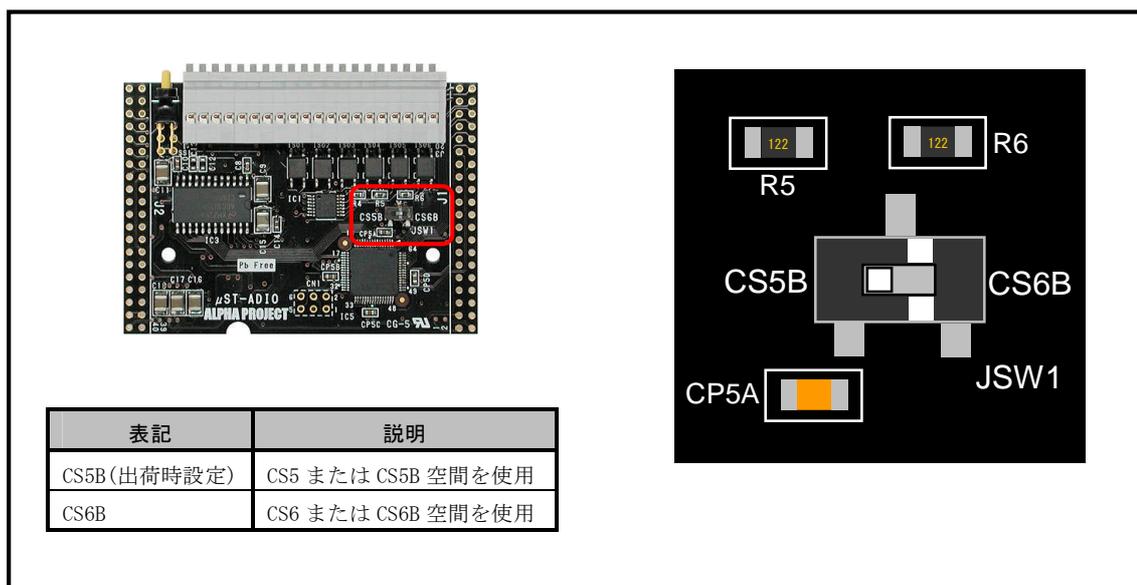


Fig3.1-1 CS空間の設定

3. 1. 2 アナログ入力レンジの設定

μST-AD10のアナログ入力はバイポーラ±5V、ユニポーラ0～+5Vの2入力があり、SS1のトグルスイッチでどちらかを選択します。

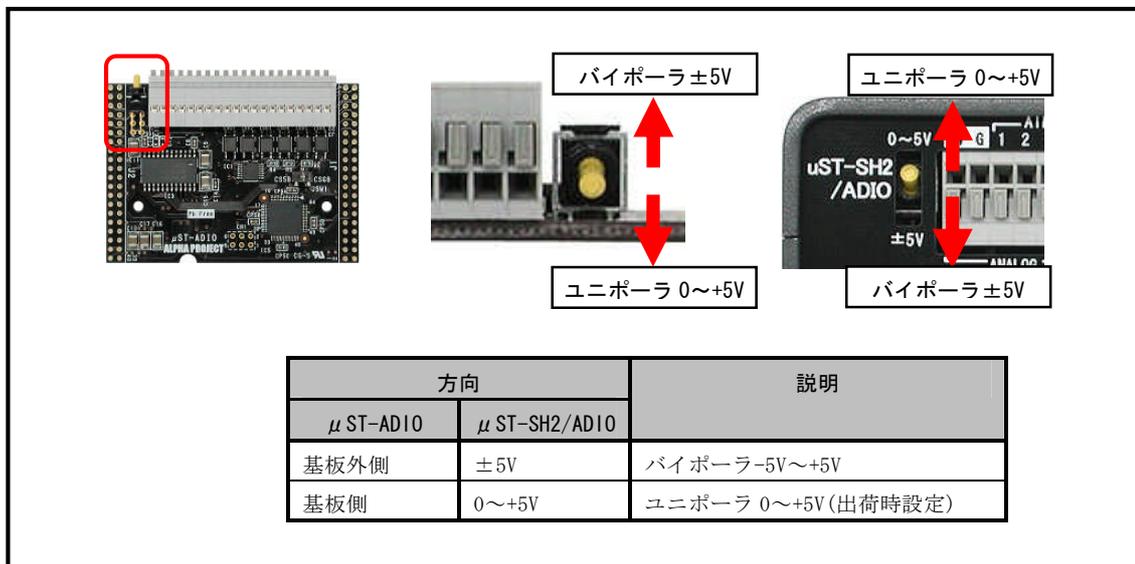


Fig3.1-2 アナログ入力レンジの設定

！注意
 入力レンジの切り替えは、必ず電源を切った状態で行ってください。
 電源を入れたまま切り替えた場合、回路が破損する恐れがあります。

3. 2 A/D 変換

3. 2. 1 回路図

A/D 変換機能の回路図を以下の図に示します。

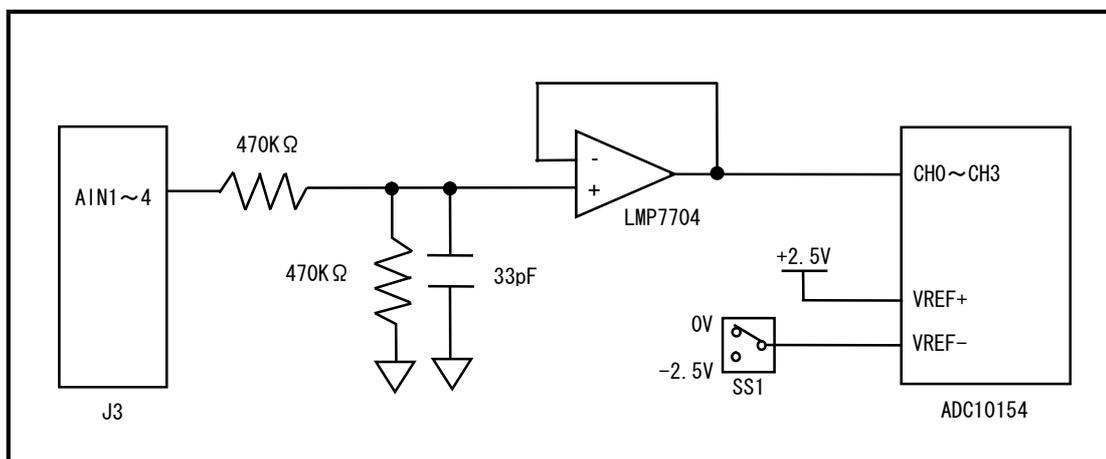


Fig3.2-1 A/D 変換回路図

3. 2. 2 アナログ入力電圧

μST-AD10 のアナログ入力電圧範囲はバイポーラ ±5V、ユニポーラ 0~+5V となっています。以下にアナログ入力電圧と A/D 変換後のデジタル出力の関係を示します。

| バイポーラ | | | ユニポーラ | | |
|-------|---------------|-------------|-------|---------------|-------------|
| 入力電圧 | デジタル出力 (H) | | 入力電圧 | デジタル出力 (H) | |
| | 分解能 10bit | 分解能 8bit | | 分解能 10bit | 分解能 8bit |
| +5V | 1023 (H' 3FF) | 255 (H' FF) | +5V | 1023 (H' 3FF) | 255 (H' FF) |
| · | 1022 (H' 3FE) | 254 (H' FE) | · | 1022 (H' 3FE) | 254 (H' FE) |
| · | 1021 (H' 3FD) | 253 (H' FD) | · | 1021 (H' 3FD) | 253 (H' FD) |
| · | · | · | · | · | · |
| · | · | · | · | · | · |
| · | · | · | · | · | · |
| · | · | · | 0V | 511 (H' 1FF) | 127 (H' 7F) |
| · | · | · | · | · | · |
| · | · | · | · | · | · |
| · | 2 (H' 002) | 2 (H' 02) | · | 2 (H' 002) | 2 (H' 02) |
| · | 1 (H' 001) | 1 (H' 01) | · | 1 (H' 001) | 1 (H' 01) |
| 0V | 0 (H' 000) | 0 (H' 00) | -5V | 0 (H' 000) | 0 (H' 00) |

Fig3.2-2 アナログ入力範囲

| 入力レンジ | 分解能 | |
|-------|-------|---------------|
| | バイポーラ | 10bit |
| | 8bit | 39.3 mV/digit |
| ユニポーラ | 10bit | 4.88 mV/digit |
| | 8bit | 19.6 mV/digit |

Fig3.2-3 入力レンジと分解能

！注意
 ・入力電圧範囲を超える電圧は絶対に印加しないでください。印加した場合、回路を破損する恐れがあります。

3. 2. 3 アナログ入力形式

アナログ入力は AIN1～AIN4 の 4ch あります。ソフトウェアで A/D コンバータのマルチプレクサアドレスの設定をすることによりシングルエンド入力、差動入力、擬似差動入力の 3 つのモードに切り替えることができます。A/D コンバータのマルチプレクサアドレスの設定の詳細は ADC10154 のデータシート及び、Linux 開発キット (別売) に添付されているアプリケーションノートを参照してください。

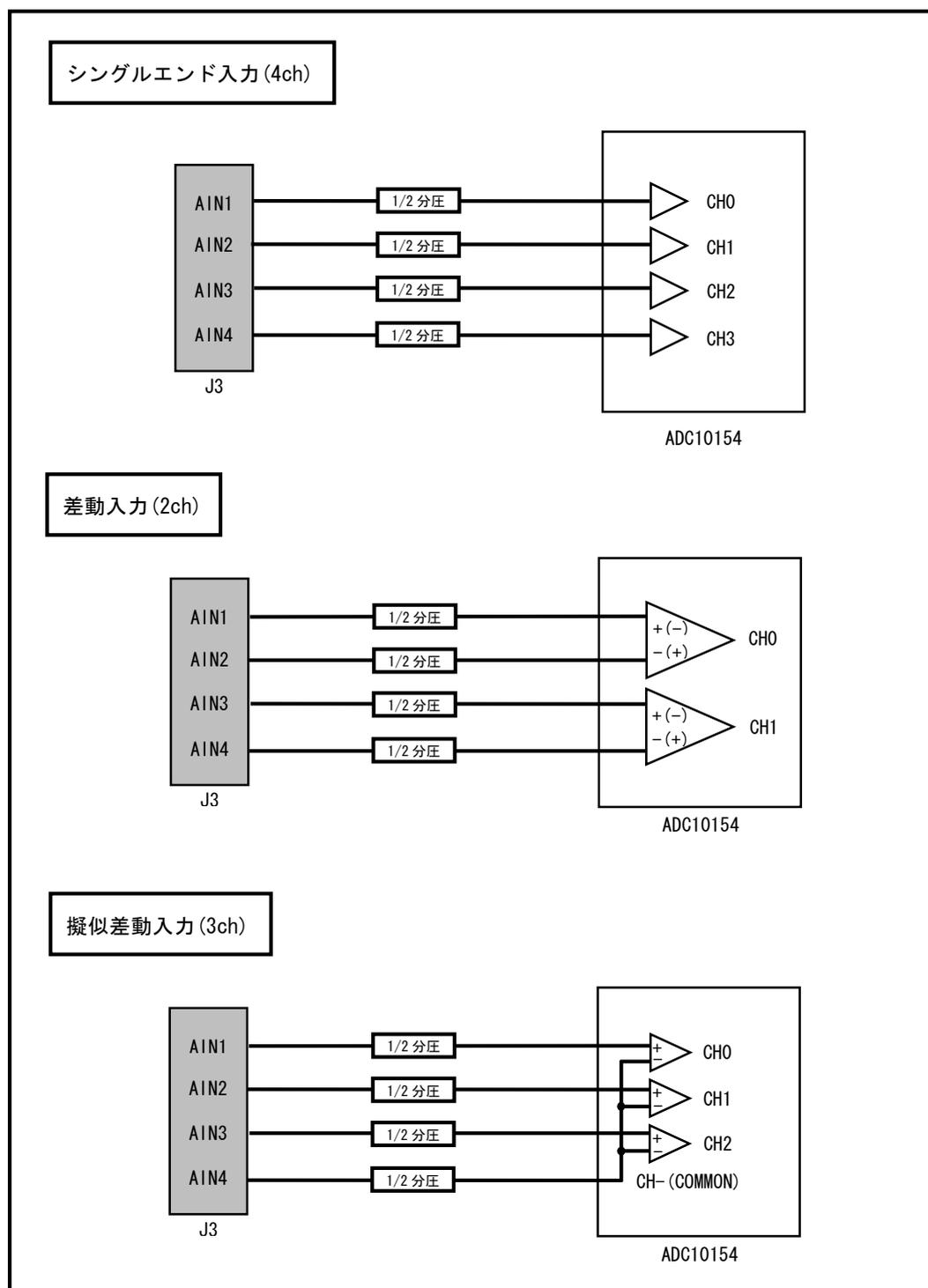


Table3.2-4 各モードの入力方式

3. 2. 4 ソフトウェアでの設定

μST-AD10 に実装されている A/D コンバータは、以下の項目をソフトウェアで設定する必要があります。

詳細は ADC10154 データシート及び、Linux 開発キット (別売) に添付されているアプリケーションノートを参照してください。

| 項目 | 内容 |
|----------|-----------------|
| アナログ入力形式 | シングルエンド/差動/擬似差動 |
| 分解能 | 10/8bit |
| サイン | サイン有/サイン無 |
| 出力形式 | 右詰/左詰 |

Table3.2-5 ソフトウェアでの設定項目

3. 3 デジタル入力

μST-AD10 は、絶縁デジタル入力を 3ch 搭載しています。

3. 3. 1 デジタル入力回路

絶縁デジタル入力回路を以下に示します。

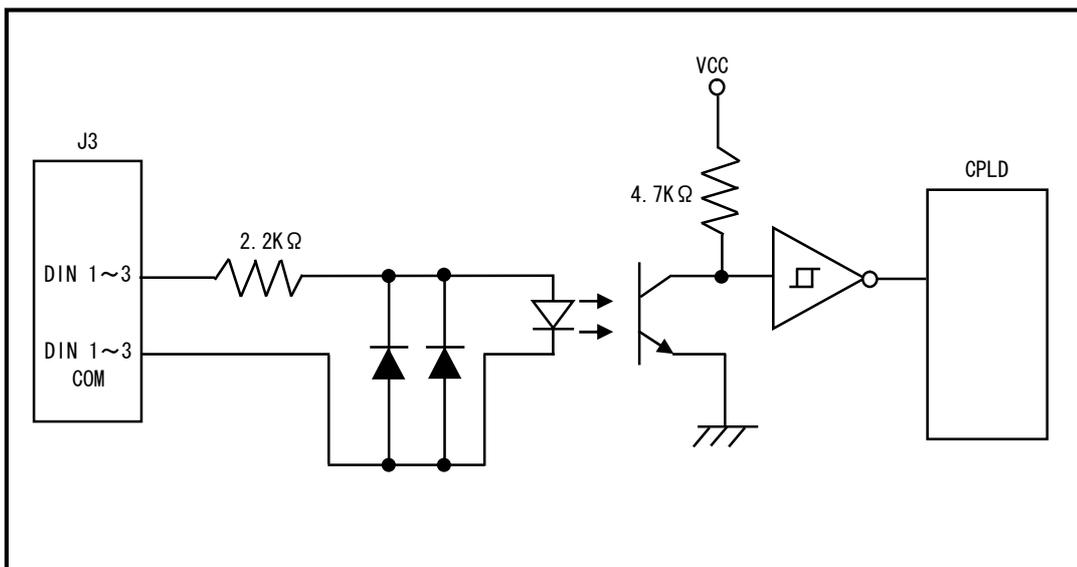


Fig3.3-1 絶縁デジタル入力回路

3. 3. 2 デジタル入力絶対最大定格

以下にデジタル入力の最大絶対定格を示します。

| 項目 | 定格値 |
|--------|-----|
| 最大入力電圧 | 30V |
| 逆電圧 | 6V |

Table3.3-2 絶縁デジタル入力絶対最大定格

！注意

・絶対最大定格を超える電圧は印加しないでください。印加した場合、回路を破損する恐れがあります。

3. 3. 3 デジタル入力 DC 特性

以下にデジタル入力の DC 特性を示します。

| 入力電圧 | 最小 | 最大 |
|------|------|-----|
| High | 4.5V | 24V |
| Low | 0V | 1V |

Table3.3-3 絶縁デジタル入力 DC 特性

3. 4 デジタル出力

μST-AD10 は、絶縁デジタル出力を 3ch 搭載しています。出力はフォトカプラで絶縁され、オープンコレクタ出力となっています。

3. 4. 1 デジタル出力回路

絶縁デジタル出力回路を以下に示します。

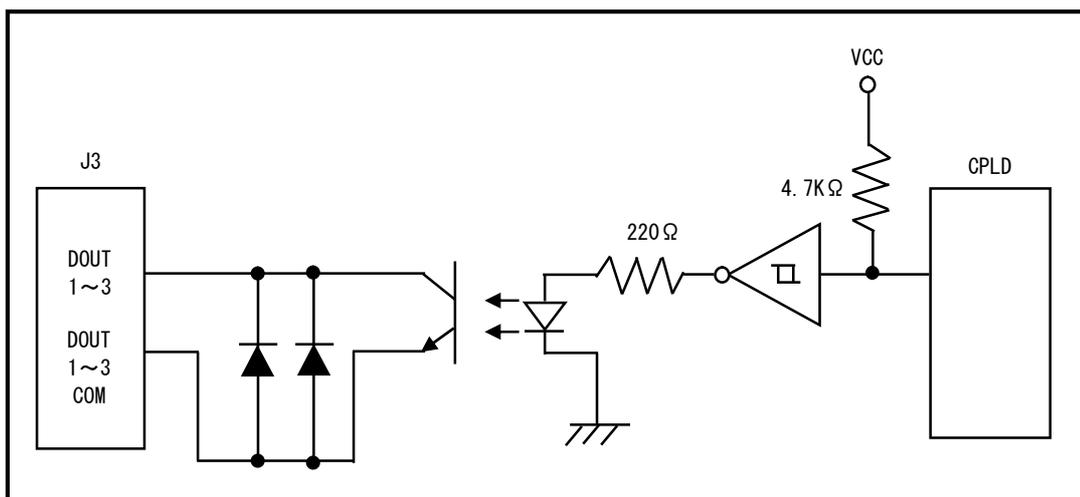


Fig3.4-1 絶縁デジタル出力回路

3. 4. 2 デジタル出力絶対最大定格

以下にデジタル出力の最大絶対定格を示します。

| 項目 | 定格値 |
|--------|------|
| 最大定格電圧 | 80V |
| 逆電圧 | 6V |
| コレクタ電流 | 50mA |

Table3.4-2 絶縁デジタル出力絶対最大定格

！注意

・絶対最大定格を超える電圧は印加しないでください。印加した場合、回路を破損する恐れがあります。

3. 4. 3 デジタル出力 DC 特性

以下にデジタル出力の DC 特性を示します。

| 項目 | 条件 | 最小 | 標準 | 最大 |
|---------------|----------------|------|------|------|
| コレクタエミッタ間飽和電圧 | コレクタ電流=1mA | - | 0.1V | 0.2V |
| コレクタ電流 | コレクタエミッタ間電圧=5V | 11mA | 22mA | - |

Table3.4-3 絶縁デジタル出力 DC 特性

3. 5 割り込み

μST-AD10 の割り込みは SH7619 の IRQ7 を使用しています。割り込みは全ての割り込みマスクレジスタを割り込み許可した状態で、A/D コンバータの A/D 変換終了または DIN1~3 からの立ち上がり信号を検出した場合に発生します。割り込み検出後は、割り込みステータスレジスタにアクセスすることで、どの要因で割り込みが発生したか確認できます。また、対応するビットに 0 を書き込むことで割り込みをクリアすることができます。

4. コネクタ

4. 1 端子配列

μST-AD10の拡張コネクタ J1、J2のピンアサインを以下に示します。

J1 拡張コネクタ

| No. | 信号名 | 信号名 | No |
|-----|-------|------|----|
| 1 | VCC | GND | 2 |
| 3 | A16 | - | 4 |
| 5 | - | - | 6 |
| 7 | - | - | 8 |
| 9 | - | - | 10 |
| 11 | - | - | 12 |
| 13 | - | - | 14 |
| 15 | - | - | 16 |
| 17 | A2 | A1 | 18 |
| 19 | A0 | - | 20 |
| 21 | - | - | 22 |
| 23 | - | - | 24 |
| 25 | - | - | 26 |
| 27 | - | D7 | 28 |
| 29 | D6 | D5 | 30 |
| 31 | D4 | D3 | 32 |
| 33 | D2 | D1 | 34 |
| 35 | D0 | #WE0 | 36 |
| 37 | - | #RD | 38 |
| 39 | RD/WR | CKIO | 40 |

J2 拡張コネクタ

| No. | 信号名 | 信号名 | No |
|-----|-----|--------|----|
| 1 | - | - | 2 |
| 3 | - | - | 4 |
| 5 | - | GND | 6 |
| 7 | - | VCC | 8 |
| 9 | - | GND | 10 |
| 11 | - | GND | 12 |
| 13 | - | GND | 14 |
| 15 | VCC | GND | 16 |
| 17 | - | - | 18 |
| 19 | - | - | 20 |
| 21 | - | #CS6B | 22 |
| 23 | - | #CS5B | 24 |
| 25 | - | - | 26 |
| 27 | VCC | IRQ7 | 28 |
| 29 | - | - | 30 |
| 31 | - | - | 32 |
| 33 | - | - | 34 |
| 35 | - | #RESET | 36 |
| 37 | +5V | +5V | 38 |
| 39 | - | GND | 40 |

* 信号名に#がついているものは負論理を表します。

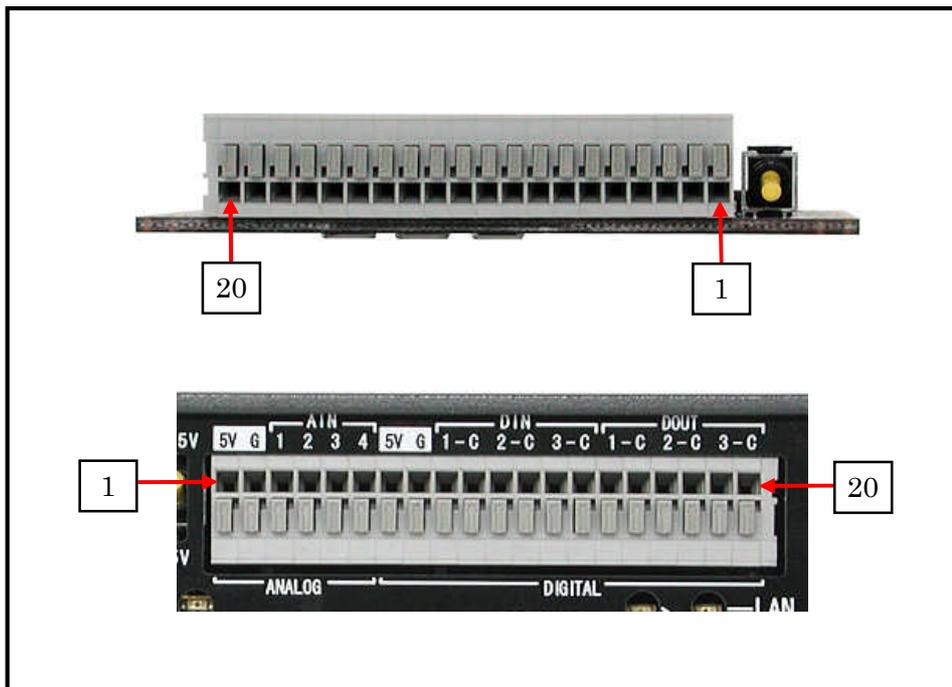


Fig4.1-1 J3 端子台ピンアサイン

J3 端子台

| No. | 信号名 | 信号名 | No. |
|-----|---------|----------|-----|
| 1 | +5V_A | DIN2 | 11 |
| 2 | ACOM | DIN2COM | 12 |
| 3 | AIN1 | DIN3 | 13 |
| 4 | AIN2 | DIN3COM | 14 |
| 5 | AIN3 | DOUT1 | 15 |
| 6 | AIN4 | DOUT1COM | 16 |
| 7 | +5V | DOUT2 | 17 |
| 8 | DGND | DOUT2COM | 18 |
| 9 | DIN1 | DOUT3 | 19 |
| 10 | DIN1COM | DOUT3COM | 20 |

！注意

J3 端子台から、アナログ電源用の+5V 電源を引き出してありますが、構造上、正確な+5V とはなっていません。精度が要求される測定等を行う際は、この電源は使わず、別に外部電源をご用意ください。

5. 技術資料

5. 1 デジタル入出力の接続例

5. 1. 1 デジタル入力の接続例

以下にデジタル入力 DIN1～DIN3 の接続例を示します。

①絶縁入力

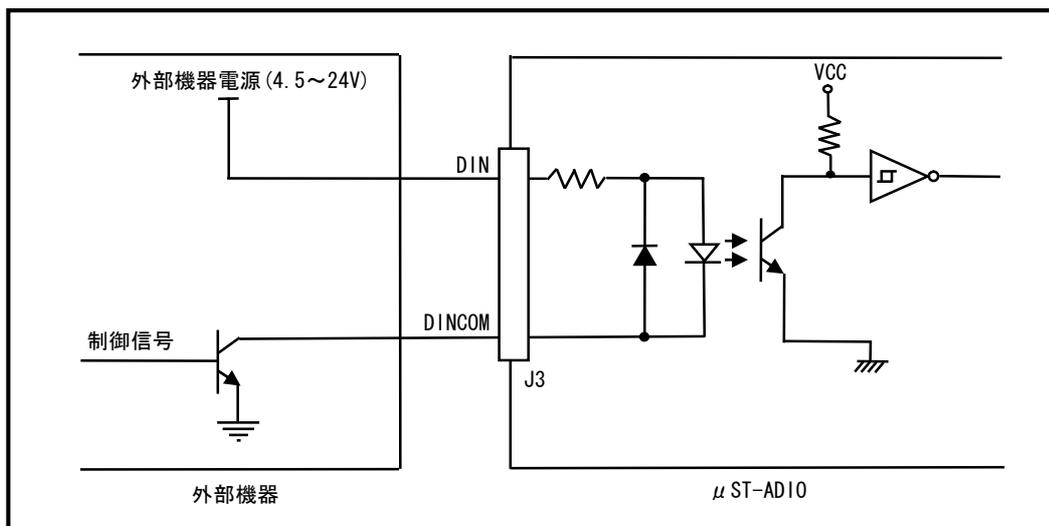


Fig5.1-1 絶縁入力接続例

②非絶縁入力

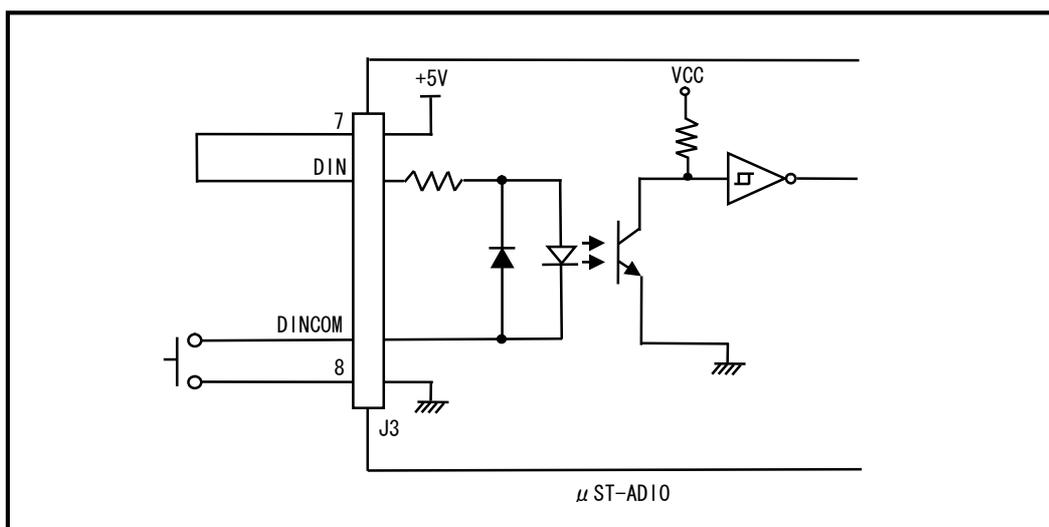


Fig5.1-2 非絶縁入力接続例

5. 1. 2 デジタル出力の接続例

以下にデジタル出力 DOUT1~DOUT3 の接続例を示します。

①フォトカプラ入力を持つ外部機器との接続例

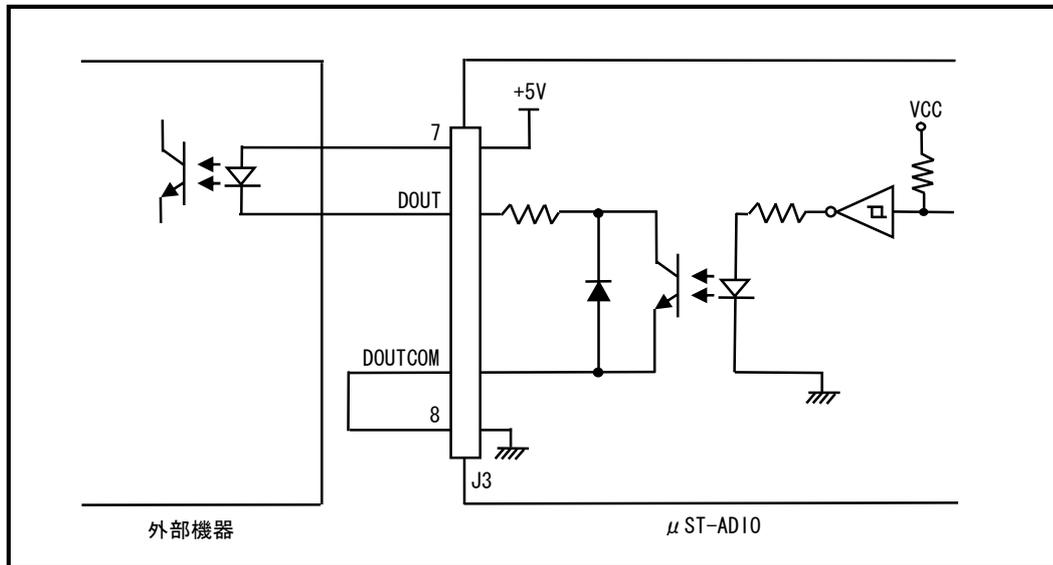


Fig5.1-3 フォトカプラ入力を持つ外部機器との接続例

②TTL 入力を持つ外部機器との接続例

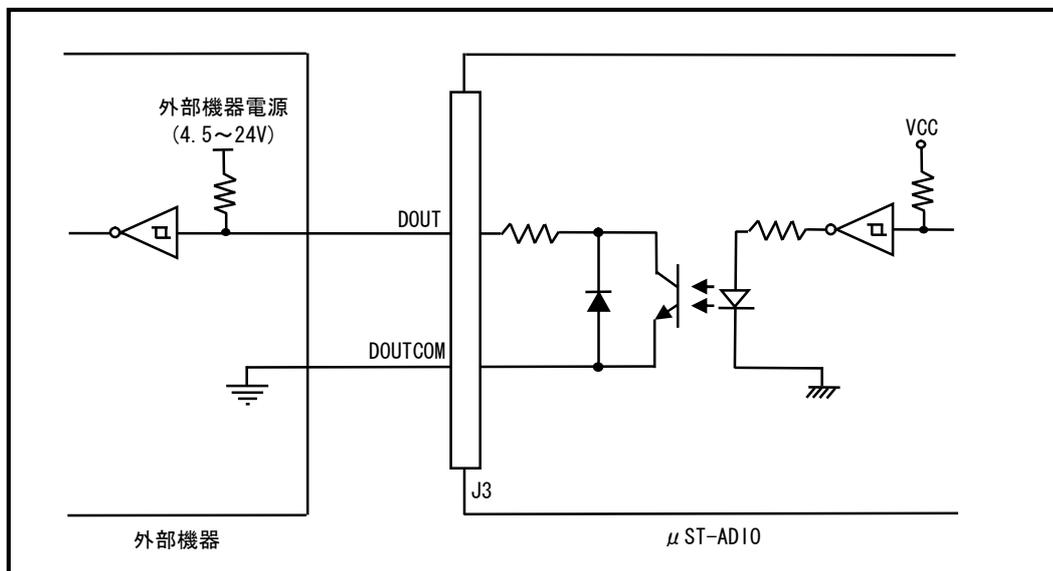


Fig5.1-4 TTL 入力を持つ接続例

③リレー入力を持つ外部機器との接続例

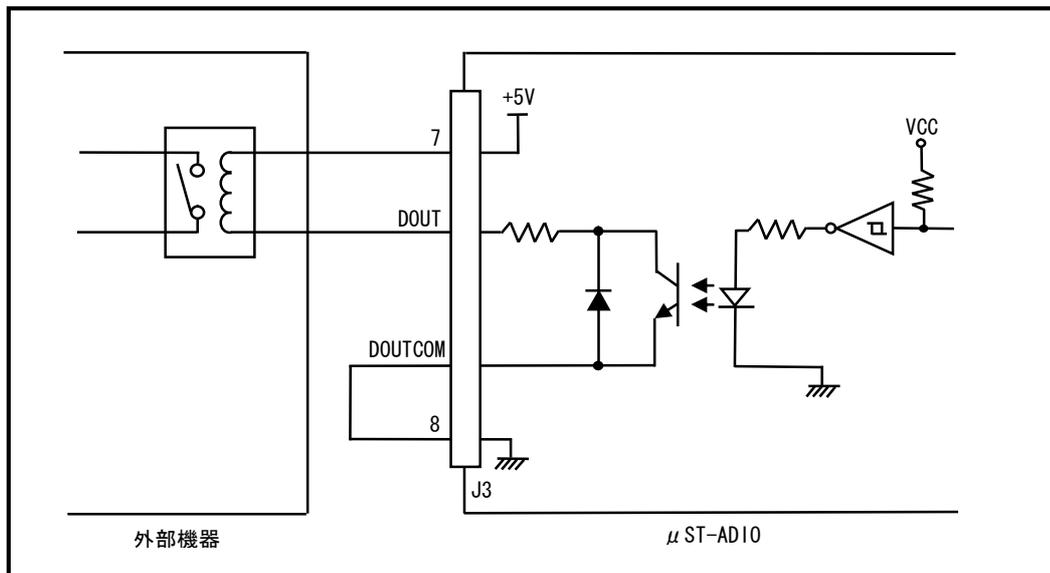


Fig5.1-5 リレー入力を持つ外部機器との接続例

5. 2 μST-SH2 との接続方法(2枚スタック)

μST-AD10 を μST-SH2 接続する手順を以下に示します。

① μST-SH2 に拡張コネクタを実装

以下に μST-SH2 の拡張コネクタ J1、J2 の実装例を示します。

J1、J2 推奨コネクタ : HIF3H-40DA-2.54SA (ヒロセ)

※ 拡張コネクタは別売となっていますが、μST-SH2/AD10 をお買い上げの場合にはすでに拡張コネクタが実装されています。

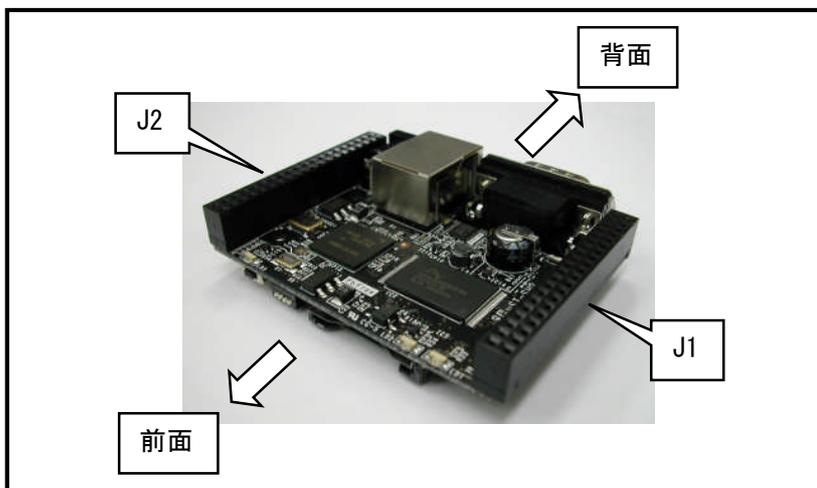


Fig 5.2-1 μST-SH2 拡張コネクタ実装例

② μST-AD10 に拡張コネクタを実装

以下に μST-AD10 の拡張コネクタ J1、J2 の実装例を示します。

J1、J2 推奨コネクタ : HIF3H-40PB-2.54DSA (ヒロセ)

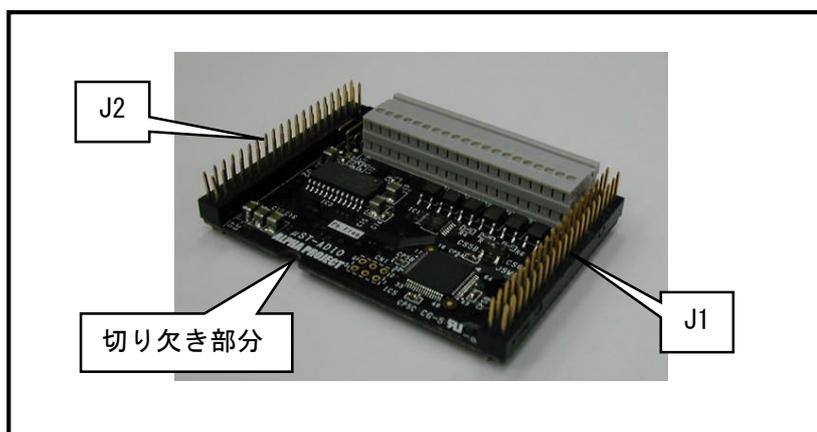


Fig 5.2-2 μST-AD10 拡張コネクタ実装例

③ μST-SH2 と μST-AD10 を接続

μST-SH2 と μST-AD10 をスタッキング接続します。μST-SH2 の半田面と μST-AD10 の半田面を合わせるようにし、μST-AD10 の切り欠き部分が μST-SH2 の背面方向にくるように接続してください。

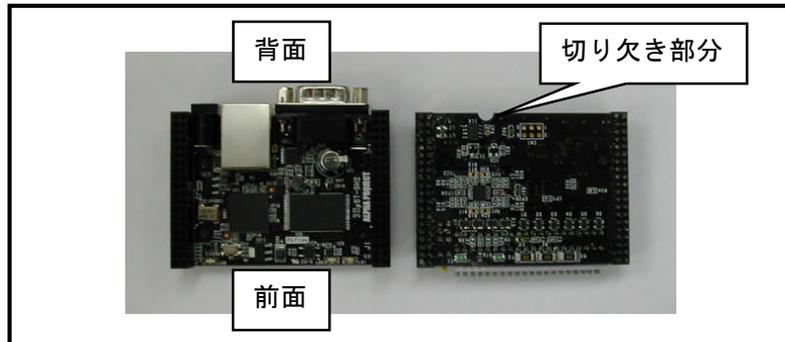


Fig 5.2-3 接続方向の確認

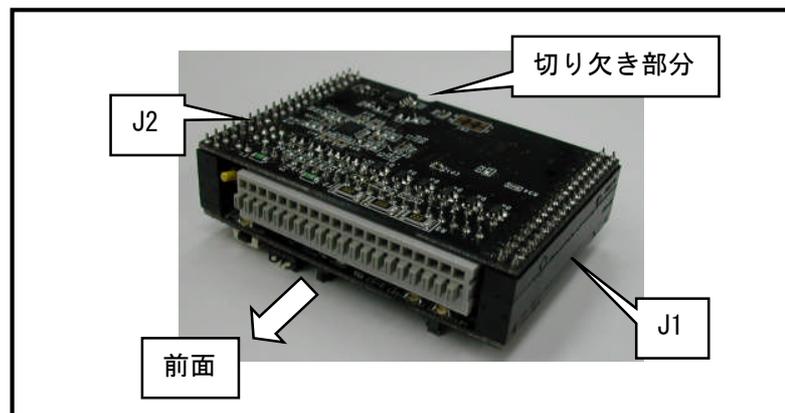


Fig 5.2-4 スタッキング接続（前面視）

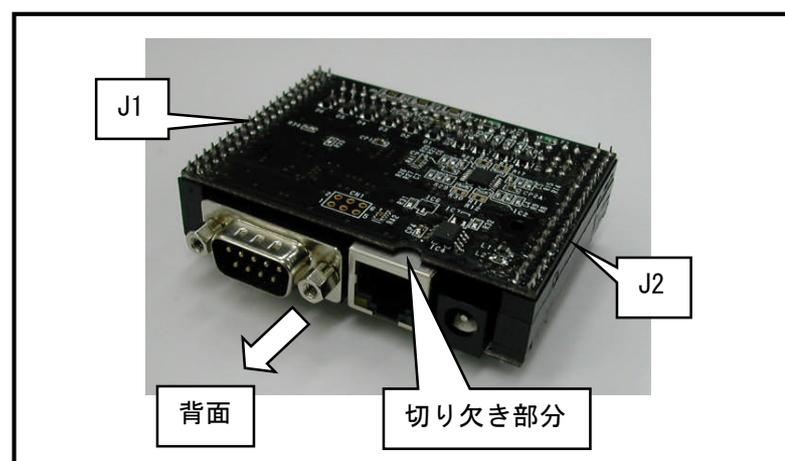


Fig 5.2-5 スタッキング接続（背面視）

！注意

- ・基板の接続方向とコネクタの合わせには十分注意してください。接続を誤った場合、回路を破損する恐れがあります。
- ・ヘッダピンを曲げる恐れがありますので、基板の抜き差しには十分注意してください。
- ・通電した状態で基板の抜き差しを行わないでください。

5. 3 ケースへの組み込み方法

ケースへ組み込む方法を以下に示します。

※ μST-SH2/AD10をお買い上げの場合にはすでにケースに組み込まれた状態になっています。

①準備

ケース（別売）に添付されている以下の部品を用意します。

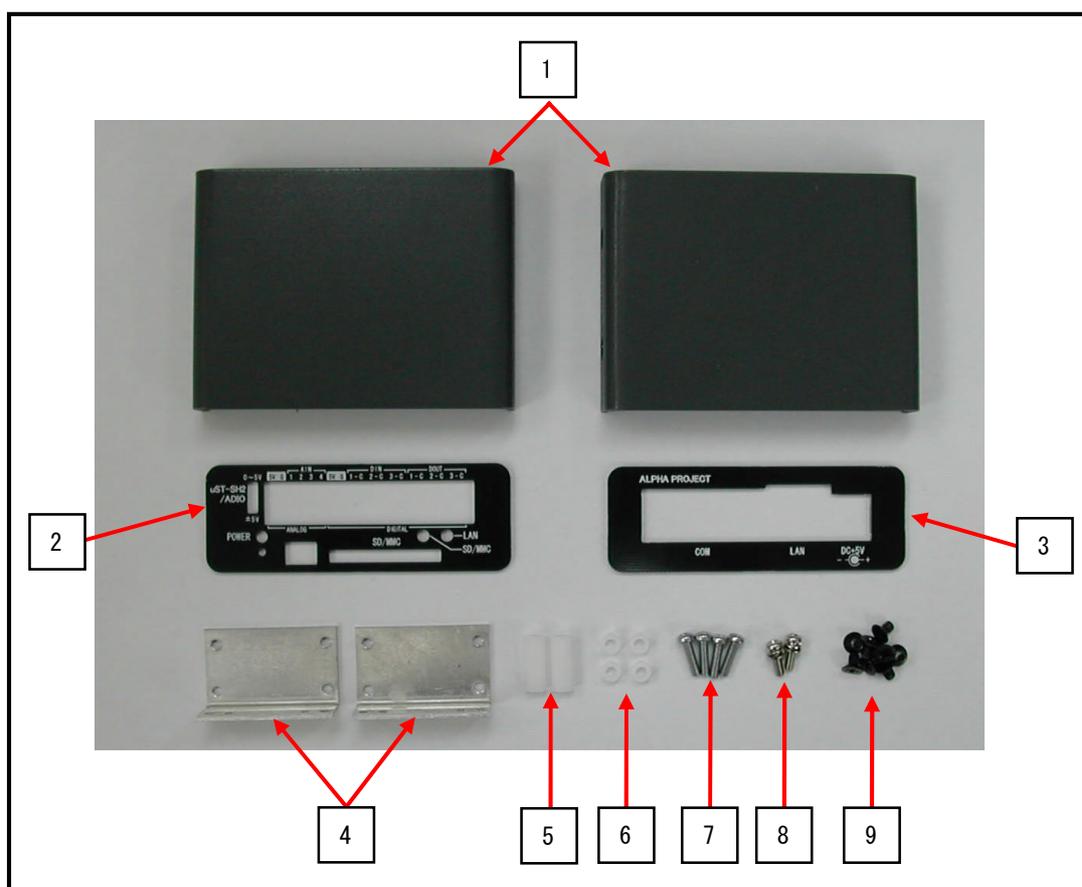


Fig 5.3-1 準備物

| 部品番号 | 名称 | 数量(個) |
|------|-------------------|-------|
| 1 | 上下カバー | 2 |
| 2 | 前面パネル | 1 |
| 3 | 背面パネル | 1 |
| 4 | サイド金具 | 2 |
| 5 | M2.6 x 14 スペーサ | 2 |
| 6 | M2.6 x 3 スペーサ | 4 |
| 7 | M2.6 x 8 ナベ小ネジ | 4 |
| 8 | M2.6 x 8 ダブルセムスネジ | 2 |
| 9 | M3 x 4 鉄皿ネジ | 8 |

Table 5.3-2 準備物の名称と個数

②サイド金具の取り付け位置の確認

サイド金具の下方にはそれぞれ4つの取り付け用穴があります。以下に示す穴を使用します。

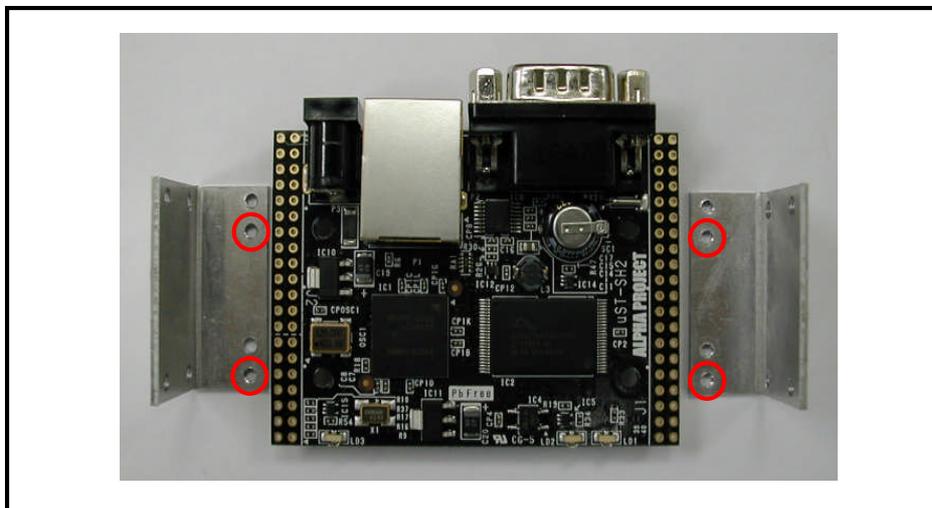


Fig 5.3-3 サイド金具の取り付け位置の確認

③サイド金具の取り付け 1

以下に示す位置に、μST-SH2の半田面方向からM2.6 x 8 ナベ小ネジを入れ、M2.6 x 3 スペーサを通し、サイド金具とネジ止めをします。この時、ネジは最後まで締めずに2~3mm程度余らせてください。ネジ止めは2箇所あります。

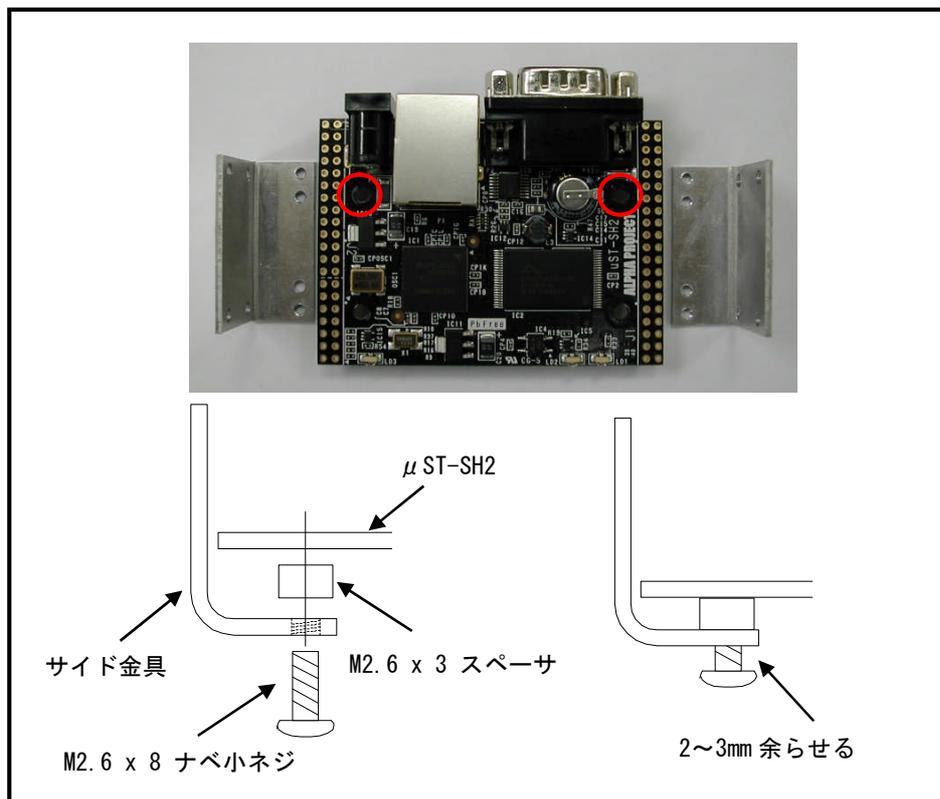


Fig 5.3-4 サイド金具の取り付け 1

④サイド金具の取り付け 2

以下に示す位置に、μST-SH2 の部品面方向から M2.6 x 8 ダブルセムスネジを入れ、半田面に M2.6 x 3 スペーサを通し、サイド金具とネジ止めをします。ネジ止めは 2箇所あります。しっかりとネジ止めをしてください。

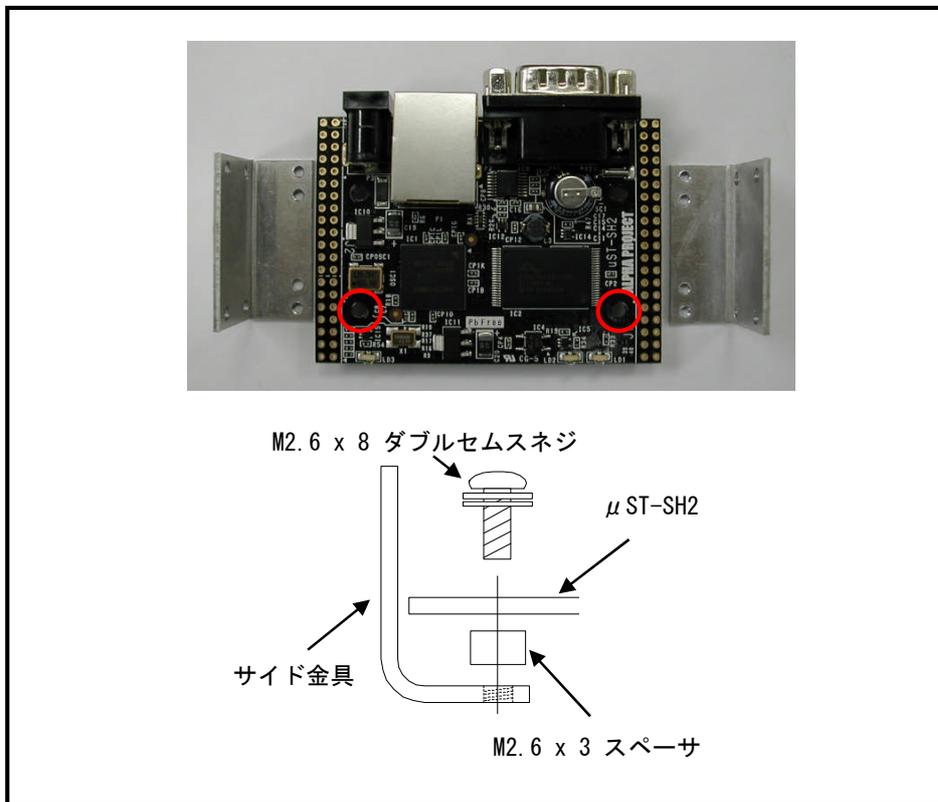


Fig 5.3-5 サイド金具の取り付け 2

⑤ スペーサの取り付け

μST-AD10 の以下に示す位置に、M2.6 x 14 スペーサを取り付けます。半田面方向から M2.6 x 8 ナベ小ネジをしっかりとネジ止めしてください。ネジ止めは 2箇所あります。

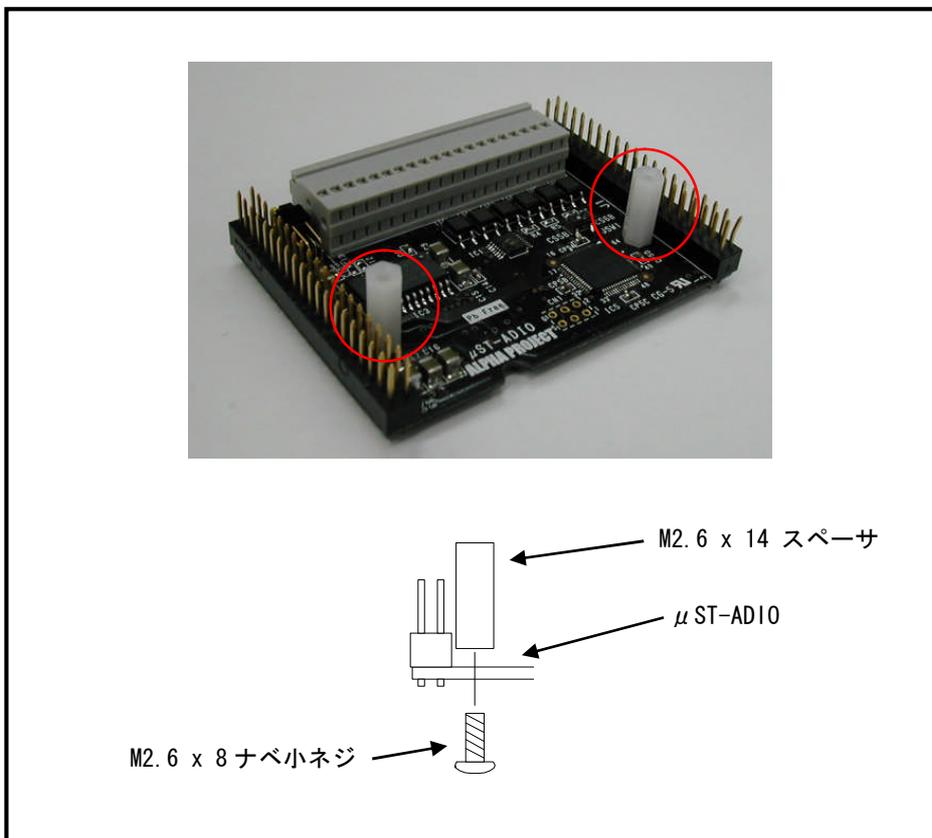


Fig 5.3-6 スペーサの取り付け

⑥ μST-SH2 と μST-AD10 を接続

μST-SH2 と μST-AD10 をスタッキング接続します。接続方法は「5.2 μST-SH2 との接続方法」を参照してください。スタッキング後に、以下に示す位置に M2.6 x 8 ナベ小ネジをしっかりとネジ止めをしてください。

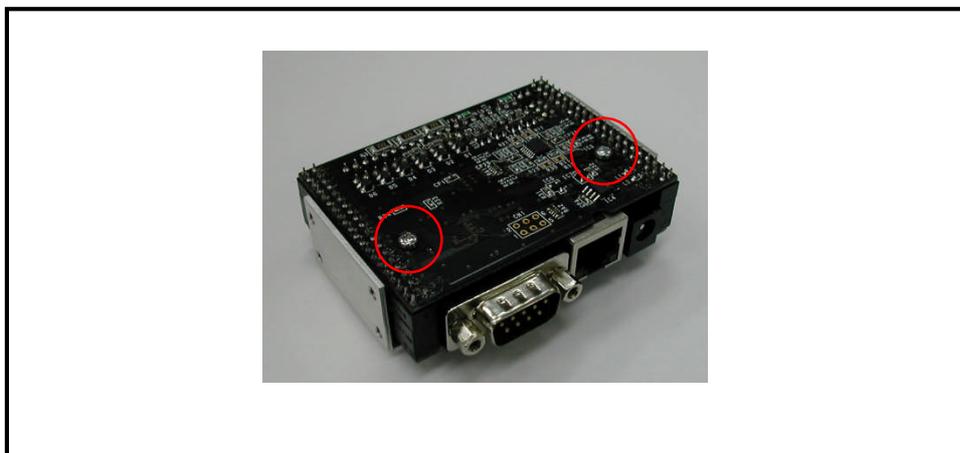


Fig 5.3-7 μST-SH2 と μST-AD10 の接続

⑦サイド金具の取り付け3

③で余らせておいたネジを2箇所、最後までしっかりとネジ止めをします。

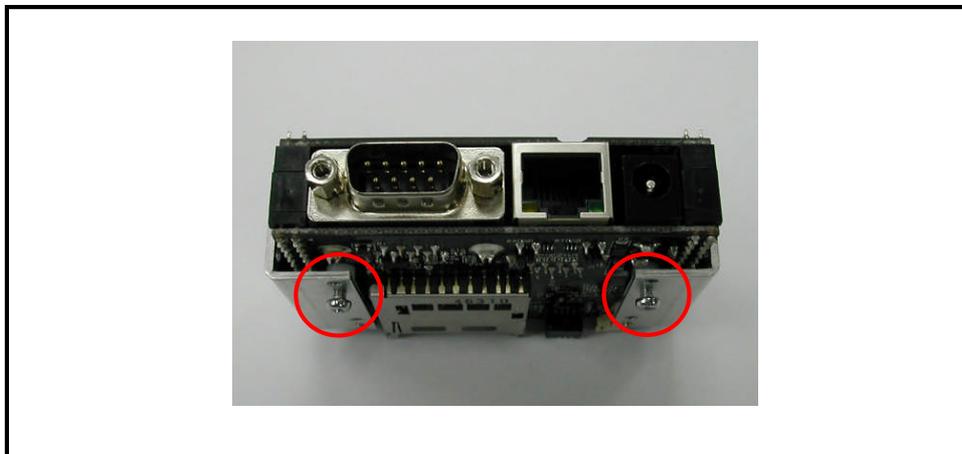


Fig 5.3-8 サイド金具の取り付け3

⑧背面パネルの取り付け

以下のように背面パネルを取り付けます。この時点では背面パネルは固定されておりませんのでご注意ください。



Fig 5.3-9 背面パネルの取り付け

⑨前面パネルの取り付け

以下のように前面パネルを取り付けます。この時点では前面パネルは固定されておりませんのでご注意ください。



Fig 5.3-10 前面パネルの取り付け

⑩ 下カバーの取り付け

下カバーを取り付ける際、下カバーの外側の溝に上方からパネルをはめこみます。
※ 下カバーと上カバーは共通になっています。

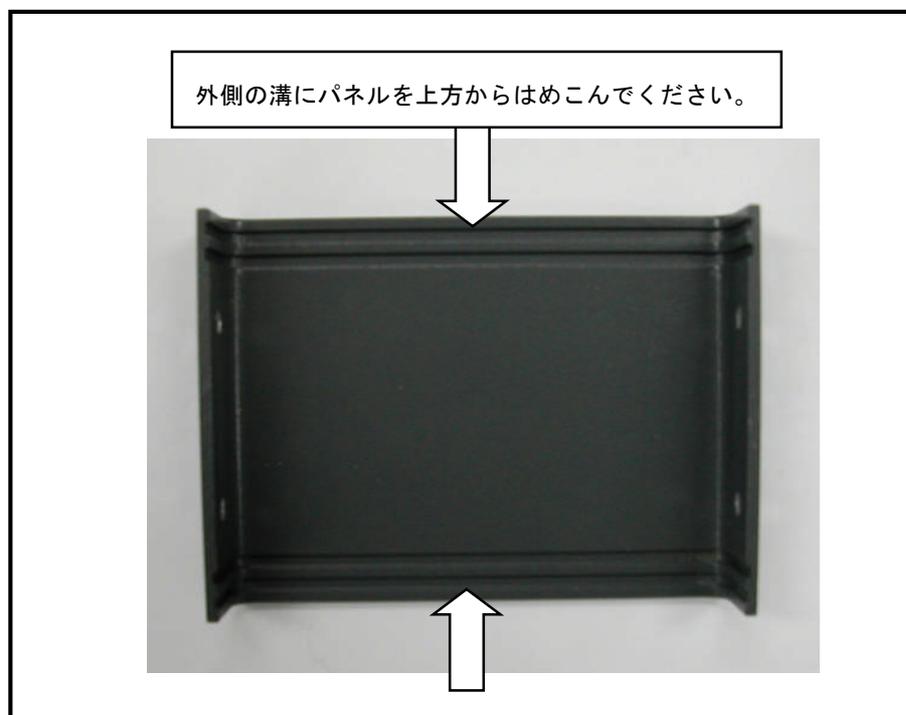


Fig 5.3-11 下カバーのはめこみ位置

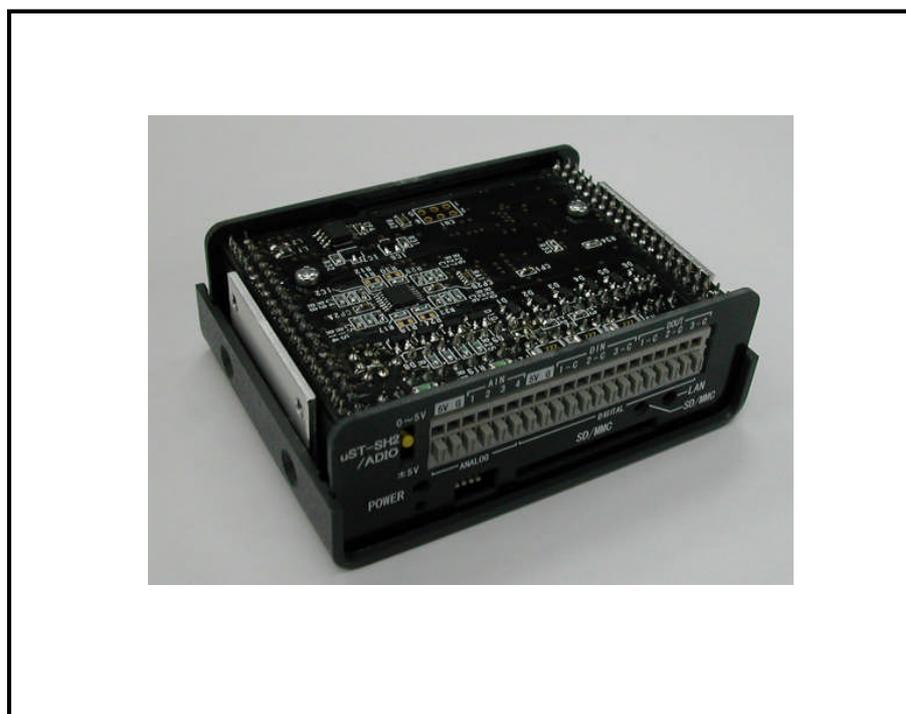


Fig 5.3-12 下カバーの取り付け

①上カバーの取り付け

上カバーを上方からかぶせるように取り付けます。



Fig 5.3-13 上カバーの取り付け

⑫カバーの固定

左右にある取り付け穴を 8 箇所すべて M3 x 4 鉄皿ネジでネジ止めます。



Fig 5.3-14 カバーの固定

⑬組み込みの完了

全ての工程が終了しましたら、以下のように正しく取り付けがされているか確認してください。

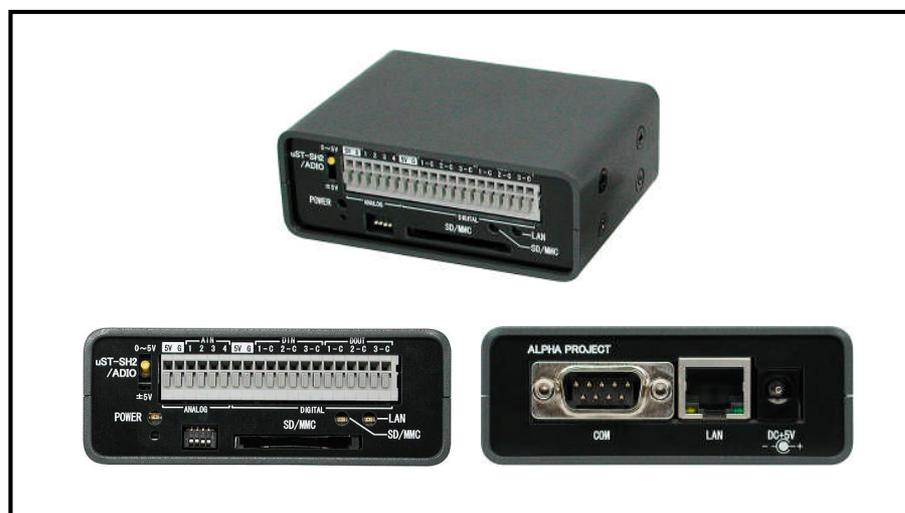


Fig 5.3-15 ケースへの組み込みの完了

6. その他

製品サポートのご案内

●ユーザ登録

ユーザ登録は弊社ホームページにて受け付けております。ユーザ登録をしていただきますと、バージョンアップや最新の情報等をE-mailでご案内させていただきますので、是非ご利用ください。

弊社ホームページアドレス <http://www.apnet.co.jp>

●ハードウェアのサポート

万が一、製作上の不具合や回路の機能的な問題が発見された場合には、お手数ですが、弊社サポートまでご連絡ください。以下の内容に該当するお問い合わせにつきましては受け付けておりませんのであらかじめご了承ください。

- 本製品の回路動作及びCPUおよび周辺デバイスの使用方法に関するご質問
- ユーザ回路の設計方法やその動作についてのご質問
- 関連ツールの操作指導
- その他、製品の仕様範囲外の質問やお客様の技術によって解決されるべき問題

●ソフトウェアのサポート

ソフトウェアに関する技術的な質問は、受け付けておりませんのでご了承ください。

サポートをご希望されるお客様には、個別に有償にて承りますので弊社営業までご相談ください。

●ソースコードの提供

CPLDのソースコードファイルは本製品には添付されていません。ソースコードファイルの提供を希望される場合は、有償にて承りますので、弊社サポートへご連絡ください。

●バージョンアップ

本製品に付属するソフトウェアは、不定期で更新されます。それらは全て弊社ホームページよりダウンロードできます。

FDやCD-ROMなどの物理媒体での提供をご希望される場合には、実費にて承りますので弊社営業までご連絡ください。

●修理の依頼

修理をご依頼いただく場合には、お名前、製品名、シリアル番号、詳しい故障状況を弊社サポートへご連絡ください。

弊社にて故障状況を確認のうえ、修理の可否、修理費用等をご連絡いたします。ただし、過電圧印加や高熱等により製品全体がダメージを受けていると判断される場合には、修理をお断りする場合もございますのでご了承ください。

なお、弊社までの送料はお客様ご負担となります。

●製品サポートの方法

製品サポートについては、FAXもしくはE-MAILでのみ受け付けております。お電話でのお問い合わせは受け付けておりませんのでご了承ください。なお、お問い合わせの際には、製品名、使用環境、使用方法等、問題点を詳細に記載してください。

エンジニアリングサービスのご案内

弊社製品をベースとしたカスタム品やシステム開発を承っております。
お客様の仕様に合わせて、設計から OEM 供給まで一貫したサービスを提供いたします。
詳しくは、弊社営業窓口までお問い合わせください。

営業案内窓口

| | |
|---------|-------------------|
| ■TEL | 053-401-0033 (代表) |
| ■E-MAIL | sales@apnet.co.jp |

改定履歴

| 版数 | 日付 | 改定内容 |
|-----|------------|--|
| 1 版 | 2007/12/25 | 新規作成 |
| 2 版 | 2008/01/08 | 仕様概要 デジタル出力遅延 条件に 5V を追加 (2.1 章) 3.3.2 デジタル入力絶対最大定格を追加 (3.3 章) 3.3.3 デジタル入力 DC 特性を追加 (3.3 章) 3.4.2 デジタル出力絶対最大定格を追加 (3.4 章) 3.4.3 デジタル出力 DC 特性を追加 (3.4 章) |
| 3 版 | 2008/12/10 | シリーズ表記を修正 |

参考文献

各社データシート

本文書について

- ・本文書の著作権は（株）アルファプロジェクトが保有します。
- ・本文書の内容を無断で転載することは一切禁止します。
- ・本文書の内容は、将来予告なしに変更されることがあります。
- ・本文書の内容については、万全を期して作成いたしましたが、万一ご不審な点、誤りなどお気付きの点がありましたら弊社までご連絡下さい。
- ・本文書の内容に基づき、アプリケーションを運用した結果、万一損害が発生しても、弊社では一切責任を負いませんのでご了承下さい。

商標について

- ・ SH7619 は、株式会社ルネサステクノロジの登録商標、商標または商品名称です。
- ・ 会社名、製品名は、各社の登録商標または商標です。



株式会社アルファプロジェクト
〒431-3114
静岡県浜松市東区積志町 834
<http://www.apnet.co.jp>
E-MAIL : sales@apnet.co.jp
